



TITLE:

ユニプレーナ型モノリシックマイ
クロ波集積回路の研究(
Dissertation_全文)

AUTHOR(S):

廣田, 哲夫

CITATION:

廣田, 哲夫. ユニプレーナ型モノリシックマイクロ波集積回路の研究. 京都大学, 1996, 博士(工学)

ISSUE DATE:

1996-01-23

URL:

<https://doi.org/10.11501/3108403>

RIGHT:

ユニプレーナ型モノリシック
マイクロ波集積回路の研究

廣田哲夫

目 次

第1章 緒 論	1
1.1 研究の背景	1
1.2 本研究の目的と論文の概要	2
第2章 ユニプレーナ型MMICの概念とその特徴	4
2.1 マイクロ波集積回路の一般的な構造	4
2.2 ユニプレーナ型MMICの構造とその特徴	6
2.3 むすび	10
文献	11
第3章 ユニプレーナ型MMICの基本受動回路	12
3.1 基本回路エレメント	12
3.1.1 伝送線路	12
3.1.2 分岐回路と線路変換	14
3.1.3 ハイブリッド回路	23
3.1.4 インダクタとキャパシタ	28
3.2 小型化90° ハイブリッド回路	32
3.2.1 半集中定数型の回路構成法	39
3.2.2 90° ハイブリッド回路の構成	41
3.2.3 90° ハイブリッド回路の試作結果	45
3.3 小型化180° ハイブリッド回路	49
3.3.1 180° ハイブリッド回路の構成	49
3.3.2 180° ハイブリッド回路の試作結果	49
3.4 むすび	53
文献	55
第4章 線形能動回路	56
4.1 まえがき	56
4.2 集中定数型増幅器	56

4.2.1	FETのモデル化	56
4.2.2	一段増幅器の設計	59
4.3	分岐増幅器	67
4.4	カスコード型増幅器	75
4.5	むすび	77
	文献	79
第5章	非線形能動回路	80
5.1	まえがき	80
5.2	FETの非線形動作	80
5.3	周波数通倍器	82
5.3.1	周波数通倍器の構成	82
5.3.2	ユニプレーナ型周波数通倍器の設計	84
5.3.3	試作周波数通倍器の特性	90
5.4	アップコンバータ	99
5.4.1	FETアップコンバータの基本構成	99
5.4.2	FETアップコンバータの動作	103
5.4.3	負荷条件の考察	105
5.4.4	ハイブリッドMICによるバランス型アップコンバータ	112
5.4.5	モノリシックバランス型アップコンバータの構成と特性	115
5.5	むすび	123
	文献	124
第6章	通信用送受信回路のMMIC化	125
6.1	まえがき	125
6.2	マルチチップ構成による1パッケージ化受信回路・送信回路	125
6.2.1	受信回路の構成	125
6.2.2	送信回路の構成	126
6.2.3	送受信回路の特性	127
6.3	1チップ送信回路	129
6.3.1	高集積化の必要性和課題	129

6.3.2	1チップ送信回路の回路構成	131
6.3.3	各回路ブロックの設計と特性	132
6.4	むすび	136
	文献	138
第7章	結 論	139

1.1 研究の背景

電気通信は今や社会生活の動脈として欠くことのできないものであり、その機能、規模は年々急速な進展を続けている。その中で無線通信は、市外基幹回線、衛星通信から加入者系伝送路、移動通信、パーソナル通信へとその適用分野を着実に広げつつある。このような無線通信においては、マイクロ波帯を中心として様々な高い周波数の電波が使用されており、この高周波帯を処理する部分が小型かつ低廉な無線装置実現の鍵を握っている。したがってこのような広範な無線通信を支えるにはマイクロ波～ミリ波回路の小型化・経済化が必須である。

マイクロ波～ミリ波帯の回路はこの二、三十年の間にその姿を大きく変えてきた。古くから用いられてきた導波管回路に代わりストリップ線路を主体とする(ハイブリッド)マイクロ波集積回路(Microwave Integrated Circuit: MIC)が広く用いられるようになり、マイクロ波回路はその大きさ、重さとも格段に使いやすくなった。また導波管回路が金属加工により作られていたのに対し、マイクロ波集積回路は低周波のプリント基板と同様にフォトリソ技術により製造できるため量産性、経済性の点でも大きな進歩があった。

このマイクロ波集積回路を可能にした一つの要因はマイクロ波半導体技術の進歩である。即ち、導波管回路がクライストロンや進行波管等の立体的なデバイスと結びついていたのに対し、ガンダイオードやインパットダイオード等の小型の半導体デバイスの出現がマイクロ波集積回路への流れを促したと言える。

さらに新しいマイクロ波半導体デバイスとしてGaAsを用いたショットキー接合型電界効果トランジスタ(Metal Semiconductor FET: MESFET)が出現し、マイクロ波帯でトランジスタ動作が可能となった。このGaAs FETがマイクロ波半導体デバイスの主流となったことでマイクロ波回路は次の変革を迎えた。即ちGaAsの半絶縁性を生かしてこれをマイクロ波集積回路の基板としても用いることにより、高周波動作が可能なGaAs FETと受動回路部を一体として同時に作り込むことが可能となった。これによってモノリシックマイクロ波集積回路(Monolithic Microwave Integrated Circuit: MMIC)の研究開発が急速に進展した。

MMICの目指すものは、マイクロ波回路に必要な熟練を要する組立・調整の工程を省くことによる量産性向上とそれによる経済化および回路の小型化である。しか

しGaAs ICは未だ比較的高価であり、本来の目的のためにはMMICチップの面積を極力小さくしてして1チップあたりのコストを低減することが不可欠である。しかしながら、これまで発表されたMMICの多くは従来のハイブリッドMICの設計技術をそのまま踏襲しており、チップ面積を縮小してコストを低減しようとする試みは少ない。

以上のような背景のもとに、本研究ではMMICの小型化に適したユニプレーナ型のMMIC構造を提案し、その基本回路要素の研究・開発、FETを用いた各種機能回路の設計、通信用機能モジュールの構築を進めてきた。

1.2 本研究の目的と論文の概要

本研究は、MMICの小型化、経済化を目的として、ユニプレーナ型と呼ぶ新しい回路構造を提案し、この構造を活かした新しい各種受動回路およびGaAsFETを主要デバイスとした各種機能回路についてその回路構成、設計法について検討したものである。

まず、これまでMMICでは主流であったマイクロストリップ線路をベースとした回路構造に対し、コプレーナ線路とスロット線路を伝送線路として用い、これらをエア・ブリッジ技術を駆使して組み合わせる「ユニプレーナ型」と呼ぶ新しいMMIC回路構造を提案した。また、この構造による基本回路エレメントや新しい概念に基づく小型回路要素を新たに考案・開発した。次に能動素子としてGaAsFETを用いこれらの受動回路要素を組み合わせた各種機能回路の設計・試作を行ない、それぞれ良好な特性を得るとともに回路面積縮小・生産性向上に著しい効果のあることを実証した。さらにこれらの技術を集成し通信用受信回路を初めて1パッケージに収めるとともに、送信回路を超小型1チップに集積することに成功し、無線通信、光波通信等に用いる高周波装置の飛躍的な小型化・経済化への道を拓いた。

本論文は7章からなり、以下の内容で構成されている。

第1章は緒論として本研究の背景と目的について述べている。

第2章ではMMICに適した回路構造としてユニプレーナ型と呼ぶ構成法を提案する。マイクロ波集積回路の各種構造について比較を行ない、従来マイクロストリップ線路が多く使われてきた経緯を明らかにしたうえで、改めてMMICに適した構造について議論する。次にユニプレーナ型MMICの概念とその特長について述べ、マイクロストリップ型MMICと対比して、回路の小型化とコストの大幅な低減が可能

になることを示す。

第3章では、ユニプレーナ型MMICで用いられる基本的な回路エレメントおよびコンポーネントについて述べる。線路分岐、インダクタやキャパシタ等の回路エレメントの構造について述べるとともに、応用範囲が広く従来の構成によると極めて大型となってしまう各種ハイブリッド回路について、高インピーダンス線路と集中定数キャパシタを組み合わせた半集中定数化の手法とこれによる設計例について述べ、回路の小型化に極めて有効であることを示す。

第4章ではGaAs FETを用いる回路のうち、小信号動作を基本とする回路について述べる。まずFETのモデリング、集中定数インダクタを用いる増幅器の設計法について述べ、さらに応用上有用な、2つの出力をもつ構成の増幅器、小さい回路面積で大きな利得が得られるカスコード型の増幅器についてその構成と設計法について述べる。

第5章ではFETを非線形動作させる回路として、周波数通倍器とアップコンバータについて述べる。従来このような非線形機能回路には主にダイオードが用いられてきたが、MMICにおいてはFETが基本デバイスであるため、FETにより必要な機能を実現することが重要である。周波数通倍器については、FETを用いた場合の基本的な構成について述べるとともに、ユニプレーナ型の特長を生かしたバランス型の構成を提案し、これにより小さな回路面積で良好な性能が得られることを示す。アップコンバータについては、バランス型の構成として局部共振周波数成分の終端条件を最適化することにより、変換特性が向上することをハイブリッドMICによる実験と計算によって示す。さらに半集中定数型の小型化ラットレースを用いたモノリシックアップコンバータについて述べ、小さい面積で従来にない良好な性能が得られることを示す。

第6章では、ユニプレーナ型の回路技術、設計技術を集成し、26GHzの送受信回路を構成した結果について述べる。ユニプレーナ型の各種MMICを小型パッケージにマルチチップ実装し、受信部と送信部をそれぞれ1パッケージに収めることに初めて成功した。さらに、一層の回路の小型化を進めるとともに高集積化に伴う問題について検討し、その結果実現できた1チップ送信回路について述べる。

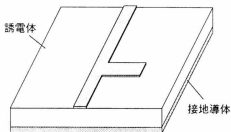
第7章では、本論文全体を総括する。

2.1 マイクロ波集積回路の一般的な構造

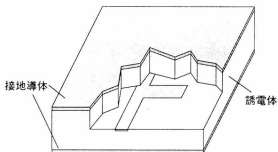
マイクロ波集積回路(Microwave Integrated Circuit:MIC)は、ストリップ線路系の伝送線路を用いることにより誘電体基板上に構成したマイクロ波回路と定義できる。これはその製造法により、セラミック基板やテフロン等の高分子系基板に形成した受動回路に個別半導体デバイスを接続して作るハイブリッドMIC(HMIC)と、半導体基板上に受動回路と能動デバイスを同時に作り込むモノリシックMIC(Monolithic Microwave Integrated Circuit:MMIC)[1]とに分類される。また、それらの回路構造は、使用する伝送線路を選択することによって必然的に決定される。図2.1に代表的な構造と使用する伝送線路を示す。図2.1(a)はマイクロストリップ線路(microstrip)[2]を基本とした回路形式、図2.1(b)は接地導体を基板の上下にもつ狭義のストリップ線路(stripline)を用いたトリプレート型と呼ばれるもの、図2.1(c)はコプレーナ線路(coplanar waveguide)[3]を用いたものである。

ハイブリッドMICにおいては以下の事情で図2.1(a)のマイクロストリップ線路を用いたものが最も広く用いられてきた。まずマイクロストリップ線路は構造が簡単で製造しやすく、所要寸法精度と実現できる特性インピーダンス範囲が適当である。またトリプレート型と異なり開放構造のため半導体デバイスの組み込みが容易であり回路調整にも適する。一方トリプレート構造は専ら方向性結合器等の受動コンポーネントに用いられてきた。またコプレーナ線路は、接地導体を中心導体と同一面にあるため接地がとりやすいという利点を有する半面、接地導体を中心導体の両側に分断されているために分岐等の不連続箇所においては金属ワイヤ等によりこれらを互いに接続して同電位に保つ必要があり、このため特殊な用途以外はあまり用いられていない。

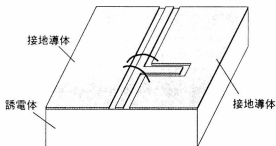
マイクロストリップ構造は上述のように多くの長所をもつが、実現できる分岐回路が垂列分岐に限られてしまうという回路設計上の制約をもっている。そこで、これに平衡型の線路を組み合わせて設計自由度を向上させる試みも行なわれている。図2.2はマイクロストリップ線路の接地導体にあたる面にスロット線路[4]を配し必要に応じてこれらを組み合わせる回路形式であり、両平面回路と呼ばれている[5]。この形式は不平衡線路であるマイクロストリップ線路に加え平衡線路であるスロット



(a) マイクロストリップ線路による集積回路



(b) トリプレート型の集積回路



(c) コプレーナ線路による集積回路

図2.1 マイクロ波集積回路の構造

線路を用いることができ、直列分岐・逆相分配が容易で多彩な回路構成を可能にする。この特長はバランス型ミキサ、変調器やマジックT等に活かされている[6][7]。

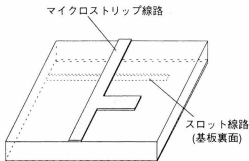


図2.2 両平面回路の構造

2.2 ユニプレーナ型MMICの構造とその特徴

さて、モノリシックMICにおいても多くの場合マイクロストリップ線路を主体とした回路構成がとられている。これは、ハイブリッドMIC(HMIC)で蓄積された設計技術やノウハウを活かしてその延長線上で回路設計ができること、マイクロストリップ系の外部回路との接続が容易であること等の理由によるものであり、特にMMICに適した回路構造であるとは言いがたい。MMICに適した回路構造を追求するためにはMMICの特質を見極めた上で根本にたちかえった検討が必要である。

伝送線路の選択に関連して、MMICにおいてHMICの場合と根本的に異なる特徴的な状況は次の点であろう。まず第1は、MMICでは1枚の半導体ウェハから何個の良品チップが採れるかによってチップのコストが決まるため、製造コストが回路寸法に大きく依存することである。このため回路の小型化が回路設計の上でより重要な意味をもつ。第2は配線プロセスがより高度で、微細パターンや多層配線、エアブリッジ(中空の交差配線)等が使用できること[1]。第3に、以上の結果波長に対する回路寸法の比がHMICに比べ通常ひとまわり小さいこと、第4として製造後の回路調整が不可能なことからチップ切り出し前の特性評価、選別が不可欠であることが挙げられる。このような観点から、従来あまり使われなかったコプレーナ線路を見直す

と以下のようなことがいえる。

エアブリッジを使用することによりコプレーナ線路の両側接地導体間を接続し容易にこれを同電位にできる。またブリッジ寸法は十分小さくできるためブリッジによる伝送特性劣化はほとんどない。このため上述したような線路分岐等による接地導体分断というコプレーナ線路の最大の欠点はもはや問題にはならない。また、伝送損失はマイクロストリップ線路に較べ若干大きい、HMICの場合のように長い線路をひきまわすことがないため問題となることは少ない。一方コプレーナ線路はマイクロストリップ線路に較べ以下のような利点をもつ。

- ① マイクロストリップ線路においては特性インピーダンスが定まると線路幅は基板厚に対して一義的に定まってしまう。このためHMICにおいては適度であった線路幅もMMICにおいては太すぎ回路の小型化の阻害要因となる。これに対しコプレーナ線路では中心導体幅とギャップの比により特性インピーダンスが決まるので線路幅を自由に選択でき、微細配線技術を活用してこれを細くすることにより回路の小型化が可能である。
- ② 電磁界が中心導体と接地導体の間のギャップに集中すること、および線路と線路の間に接地導体が存在することにより、隣接する線路間の結合が少なく線路の近接配置が可能である。

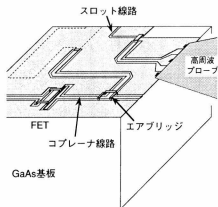


図2.3 ユニプレーナ型MMICの構造

- ③ 接地導体が基板上面にあるためFET電極、先端短絡スタブ等の接地が容易かつ良好である。また回路エレメントのシリーズ接続、シャント接続が自在である。

つまりMMICにおいては従来のコプレーナ線路の欠点は問題とならず逆にマイクロストリップ線路に較べて多くの利点をもっていることになる。

一方、スロット線路等の平衡型線路は、ハイブリッドMICの場合と同様に不平衡型線路と組み合わせることにより多くの利点を生む可能性があるが、MMICにおいては基板の表面を空けて実装することがほとんど不可能であることから図2.2のような両面構造は適用し難い。

そこで、MMICに適した回路構造として「ユニプレーナ(uniplanar)」型と呼ぶ構成法を新たに提案する[8][9]。これは図2.3のようにコプレーナ線路とスロット線路を基板の上面のみに配置しエアブリッジを活用して線路間の接続、分岐を行うものがある。基板裏面の接地導体を用いず完全に基板上面のみを使用することを特徴とする。図2.4はこの構造とその利点を、従来主流であったマイクロストリップ線路を主体としたMMICと対比して図示したものである。ユニプレーナ型MMICは、先に述べたコプレーナ線路の利点、すなわち

- ① 線路幅を自由に選択でき必要に応じてこれを細くすることにより回路の小型化が可能である。
- ② 隣接する線路間の結合が少なく線路の近接配置が可能である。
- ③ 接地が容易かつ良好であり、回路エレメントのシリーズ接続、シャント接続が自在である。

に加え以下の利点をもつ。

- ④ スロット線路を組み合わせることにより逆相の分岐合成回路、各種ハイブリッド回路、マジックT等の実現が容易である[8]。
- ⑤ 接地導体を含め全電極が基板上面に出没しているため、特殊な高周波プローブを用いることにより、チップ状に回路を切り出す前にウェハ状態のまま高精度の高周波測定が可能である(オンウェハ測定)。MMICでは製造後の調整が不可能であるため確実に良品を選別することは非常に重要である。特に複数のチップを一つのパッケージに実装するような場合にはこのような組立前の選別が不可欠である。
- ⑥ マイクロストリップ線路では線路をある程度細くするために、工程の最後に基

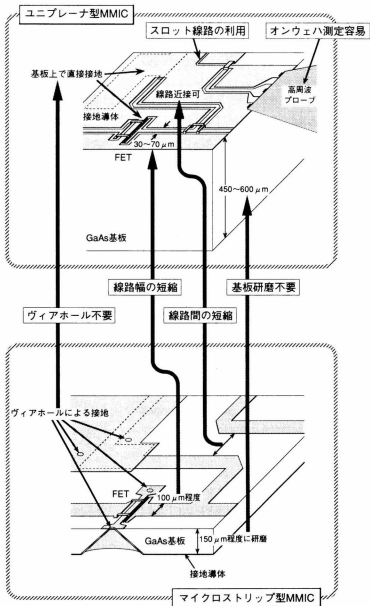


図2.4 ユニプレーナ型MMICの特長

板を裏面から削り、さらに接地をとるために裏側から基板に穴を開ける特殊なプロセス(ヴィアホール)が用いられている[1]。ユニプレーナ型ではこのようなプロセスが不要であり工程が簡易で歩留りが向上する。またヴィアホールがないことにより回路面積も小さくなる。

以上の利点により、図2.5に示すようにチップの小型化、製造工程の簡易化、確実な良品選別が可能になり、回路の小型化とそのコストの大幅な低減につながる。

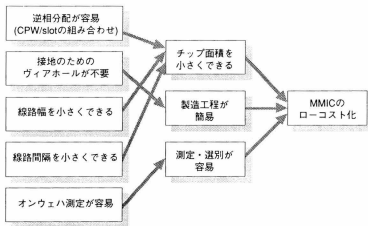


図2.5 ユニプレーナ型MMICの利点

2.3 むすび

ユニプレーナ型のMMIC構造による各種回路の議論を展開するのに先立ち、本章ではマイクロ波集積回路の各種形態を整理するとともに、ユニプレーナ型MMICの基本的な概念とその特徴について述べた。またその特徴がいかに回路の小型化とコストの低減に寄与するかを明らかにした。

- [1] R. A. Pucel, "Design considerations for monolithic microwave circuits," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-37, pp.406-413, Feb., 1989.
- [2] M. V. Schneider, "Microstrip lines for microwave integrated circuit," *B. S. T. J.*, vol. 48, pp. 1421-1444, May-June, 1969.
- [3] C. P. Wen, "Coplanar waveguide: A surface strip transmission line suitable for nonreciprocal gyromagnetic device applications," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-17, pp.1087-1090, Dec., 1969.
- [4] S. B. Cohn, "Slot-line — An alternative transmission medium for integrated circuits", in *IEEE G-MTT Int. Microwave Symp. Digest*, pp.104-109, May, 1969.
- [5] M. Aikawa and H. Ogawa, "Double-sided MIC's and their applications," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-37, pp.406-413, Feb., 1989.
- [6] M. Aikawa and H. Ogawa, "A new MIC magic-T using coupled slot lines," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-28, pp.523-528, June, 1980.
- [7] H. Ogawa, M. Aikawa and M. Akaike, "Integrated balanced BPSK and QPSK modulators for the Ka-band," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-30, pp.227-234, Mar., 1982.
- [8] T. Hirota, Y. Tarusawa and H. Ogawa, "Uniplanar MMIC hybrids—A proposed new MMIC structure," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-35, pp. 576-581, June, 1987.
- [9] M. Muraguchi, T. Hirota, A. Minakawa, K. Ohwada and T. Sugeta, "Uniplanar MMIC's and their applications," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-36, pp. 1896-1901, 1988.

3.1 基本回路エレメント

3.1.1 伝送線路

ユニプレーナMMICに用いる伝送線路はコプレーナ線路とスロット線路、および結合コプレーナ線路、結合スロット線路である。図3.1にこれらの構造を示す。以下にこれらの特徴とMMICに使用する際の留意点について述べる。

(1) コプレーナ線路

コプレーナ線路は中心導体とその両側の接地導体とから構成される伝送線路である。これは空気と誘電体からなる不均質構造中の伝送路であるから一般的にはその伝搬モードはTEモードとTMモードの線形結合からなるハイブリッドモードである。しかし線路の幅と波長の比が十分に小さい場合にはTEMモードとみてよく、特にMMICの場合には通常 $100\mu\text{m}$ 以下の線路幅を用いるため数十GHz程度の周波数帯では純粋なTEMモードとしての扱いで十分である。導体幅が無限に薄く、誘電体基板が無限の厚みをもつときにはその特性インピーダンス Z_0 は導体幅 W と線路幅 $(W+2G)$ との比で定まり、次式で与えられる[1]。

$$Z_0 = (30\pi / \epsilon_{\text{re}}^{1/2}) \cdot [K'(k)/K(k)] \quad (3.1a)$$

$$\epsilon_{\text{re}} = (\epsilon_r + 1)/2 \quad (3.1b)$$

ここで

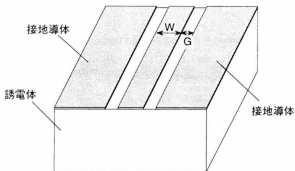
$$k = W / (W + 2G) \quad (3.1c)$$

$K(k)$ は第1種完全楕円積分であるが、 $K(k)/K'(k)$ は次式で近似できる。

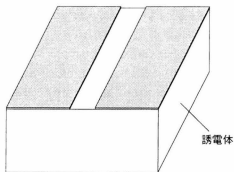
$$K(k)/K'(k) = (1/\pi) \ln [(1+k^{1/2})/(1-k^{1/2})] \quad (0.707 \leq k \leq 1)$$

$$K(k)/K'(k) = \pi / \ln [2(1+k^{1/2})/(1-k^{1/2})] \quad (1 \leq k \leq 0.707)$$

$$K'(k) = K(k'), \quad k' = (1-k^2)^{1/2}$$



(a) コプレーナ線路



(b) スロット線路

図3.1 ユニプレーナ型MMICに用いる伝送線路

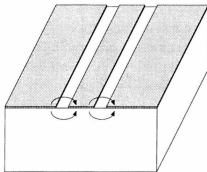


図3.2 結合スロット線路の偶モード

MMICの場合3インチ径のGaAsウェハの厚みは通常 $600\mu\text{m}$ であり、ユニプレーナMMICのようにそのままの厚みで使うときには、基板厚み h は W 、 G (数十 μm 以下)に比べて十分大きく、線路特性は h が無限大の場合のそれと大きな差を生じない。この比が小さい場合には基板下にも接地導体をもつグラウンデッドコプレーナ線路として扱う必要が生じる。

(2)スロット線路と結合スロット線路

スロット線路の伝搬モードは基本的にはTEであり大きな分散を示す。その特性についてはいくつかの計算結果[2][3]や閉じた形の近似式[4]が発表されている。MMICの場合にはチップ面積を小さくするため、あるいはレイアウトの都合上、導体幅を十分に大きくとらないことも多く、このときにはスロット線路よりもむしろコプレーナストリップ[1]として扱うほうが妥当と考えられる。

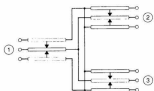
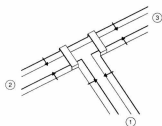
またコプレーナ線路は、スロット線路が2本近接して配置された結合スロット線路とみなすこともできる。この結合スロット線路は直交する二つの伝搬モードをもち、コプレーナ線路のモードの他に図3.2のモードが伝搬する。ここでは慣習に従って線路断面の電界が同じ方向になる図3.2のモードを偶モードと呼び、逆方向となるコプレーナ線路のモードを奇モードと呼ぶことにする。この二つのモードは、線路の外側の導体を結ぶブリッジを用いたり、接続する線路を選ぶことによって使い分けることができる。

3.1.2 分岐回路と線路変換

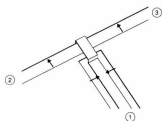
(1)T型分岐回路

図3.3に、ユニプレーナMMICにおいて用いることのできる各種T型分岐回路とその等価回路を示す[5]。図には電界の向きを模式的に矢印で示してある。また表3.1はこれらを入出力線路により整理したものであり、図3.3の該当する図の記号(a)～(i)と分岐回路の性質(並列分岐または直列分岐)を示してある。

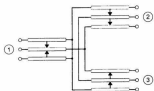
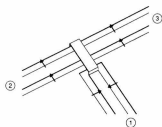
入力側の線路がコプレーナ線路のときには分岐回路は並列分岐となり、同相の分配回路としてふるまう。図3.3(a)はコプレーナ線路の並列T分岐である。接地導体の電位を同一に保つため分岐部においてはブリッジによりこれらを接続する。このブリッジのインダクタンスやブリッジと他の導体との間の浮遊容量は、線路幅や分岐部の寸法を小さくすることにより無視できる。図3.3(b)と図3.3(c)はコプレーナ線路



(a) コプレーナ線路T分岐

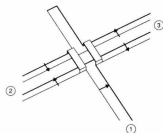


(b) コプレーナ線路／スロット線路分岐

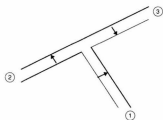
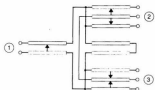


(c) コプレーナ線路／結合スロット線路分岐

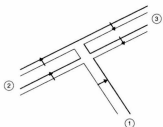
図3.3 ユニプレーナ型MMICに用いる各種分岐線路



(d) スロット線路／コプレーナ線路分岐



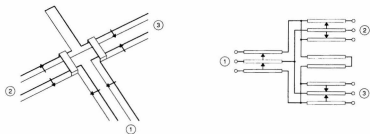
(e) スロット線路T分岐



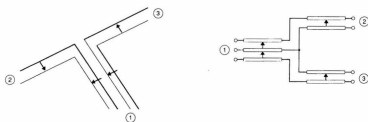
(f) スロット線路／結合スロット線路分岐



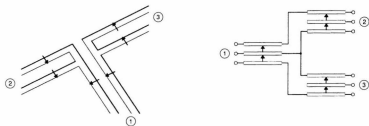
図3.3 ユニプレーナ型MMICに用いる各種分岐線路 (つづき)



(g) 結合スロット線路／コプレーナ線路分岐



(h) 結合スロット線路／スロット線路分岐



(i) 結合スロット線路T分岐

図3.3 ユニプレーナ型MMICに用いる各種分岐線路(つづき)

からスロット線路および結合スロット線路への分岐回路である。ブリッジを用いることにより図のようにコプレーナ線路によって結合スロット線路の偶モードを励振でき同相の分配ができる。

一方、入力側の線路がスロット線路のときには分岐回路は直列分岐となり、逆相の分配動作が得られる。図3.3(d)と図3.3(f)はそれぞれスロット線路からコプレーナ線路および結合スロット線路への分岐回路である。図3.3(d)では出力側の二つの線路を電氣的に分離するために、先端を短絡した $1/4$ 波長のスロット線路を用いている。図3.3(e)のスロット線路T分岐も典型的な直列分岐として応用上重要である。図3.3(g)～図3.3(i)は偶モードの結合スロット線路を入力線路としたT分岐回路であり、これらは逆相の分配回路としてふるまう。

ユニプレーナMMICにおいてはこのように並列分岐と直列分岐の両方を使い分けることができ、各種のハイブリッド回路やバランス型の機能回路を構成する際に大きな利点となる。

表3.1 各種分岐回路

出力側線路 入力側線路	コプレーナ線路	スロット線路	結合スロット線路 (偶モード)
コプレーナ線路	並列 (a)	並列 (b)	並列 (c)
スロット線路	直列 (d)	直列 (e)	直列 (f)
結合スロット線路 (偶モード)	直列 (g)	直列 (h)	直列 (i)

(2)エアブリッジ

MMICにおけるブリッジには2つの作製方法がある。一つは多層の導体膜を酸化物や窒化物による絶縁膜を介して交差させ、スルーホールによって絶縁膜を貫通し上下の導体膜を互いに接続するものである。この方法は低周波のICにおいても用いられているものであるが、通常絶縁膜の厚みは数千オングストローム程度であるためマイクロ波回路に用いると導体間のキャパシタンスが無視できないことが多い。このためMMICではエアブリッジと呼ぶ独特の配線技術を頻繁に用いる[6]。これは、下層の配線の後、ブリッジが必要な箇所に厚くレジストを乗せこの上にレジストをまたぐ様に上層配線を形成し、最後にレジストを除去することによって作製する中空のブリッジである。これにより、 $2\mu\text{m}$ 以上の十分な高さをもち誘電率の低い空気を介した理想的なブリッジが得られる。この技術は本来FETの電極間を接続するために用いられるものであるが、ユニプレーナMMICではこれをコプレーナ線路の不連続部や分岐、線路変換などに駆使している。これによってハイブリッドMICでは使いにくかったコプレーナ線路を使いこなすことに成功している。

エアブリッジ技術を用いた場合においてもその寸法が大きい場合には寄生リアクタンスの影響を無視できないが通常のMMICではほとんどの場合問題とならない。図3.4に、一例としてブリッジにより接地導体をまたいだコプレーナ線路の伝送特性の計算結果を示す[5]。計算ではブリッジを中空のマイクロストリップ線路とみなし、その特性インピーダンスと不連続部の容量を見積るためにはマイクロストリップ線路の設計式[1]を用いた。ブリッジの高さは $2.5\mu\text{m}$ 、ブリッジ長は $20\mu\text{m}$ とした。図3.4によれば寸法が小さければ不連続の問題は起こらないことがわかる。

(3)線路変換

異種線路を組み合わせるユニプレーナ型MMICにおいて、線路変換回路は重要な回路エレメントである。図3.5に各種変換回路の構造とその等価回路を示した。図3.5(a)、図3.5(b)はそれぞれコプレーナ線路とスロット線路、コプレーナ線路と結合スロット線路の変換回路である。これらは電気的な間接面を要する。これには先端短絡の1/4波長線路を用いる方法もあるが[2]、回路寸法を考慮してここでは図のような開放回路を用いている。図3.5(c)はスロット線路と偶モードの結合スロット線路の変換回路であり、これにはブリッジを必要としない。

コプレーナ線路／スロット線路変換の動作およびエアブリッジの特性を確認する

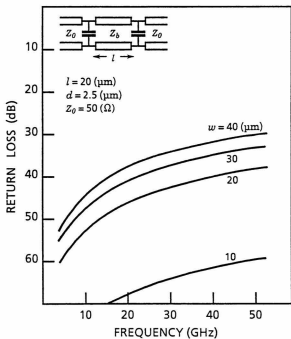
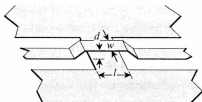
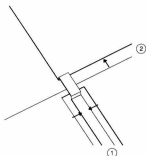
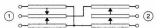
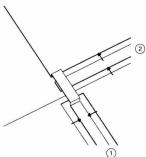


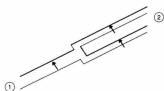
図3.4 エアブリッジを含むコプレーナ線路の特性



(a) コプレーナ線路／スロット線路変換

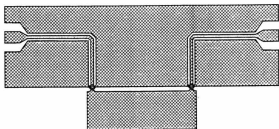


(b) コプレーナ線路／結合スロット線路変換

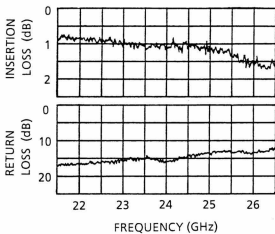


(c) スロット線路／結合スロット線路変換

図3.5 異種線路間の変換回路



(a) 評価用回路



(b) 測定結果

図3.6 コプレーナ線路/スロット線路変換回路の特性

ため評価用回路を試作した。図3.6にその構成と測定により得られた特性を示す。エアブリッジを用いてコプレーナ線路からスロット線路へ変換し、長さ500 μ mのスロット線路介して再びコプレーナ線路へ戻している。回路はGaAs基板上に通常のMMIC製造プロセスを用いて作製した。20GHzまでの周波数帯で反射損失は20dB以上得られており、各種回路に十分適用できる特性である。

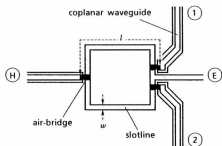
3.1.3 ハイブリッド回路

信号を互いに180°の位相差で分配・合成するハイブリッド回路(マジックTまたはラットレース)や90°の位相差で分配・合成を行なう90°ハイブリッド回路(ブランチライン型結合器や分布結合型結合器)はマイクロ波回路の中で応用範囲の広い基本的な受動回路である。ここではこれまでに述べた分岐回路を用いた、ユニプレーナMMICの構成による新しいマジックTとブランチライン型結合器を提案する[5]。

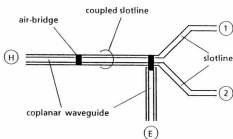
(1)マジックT

新しい構成による3種類のマジックTを図3.7に示す。E、Hと表記した入出力ポートはそれぞれ導波管マジックTのEアーム、Hアームに相当する。すなわちポートHから入力された波はポート#1、ポート#2へ同相で分割されポートEへは現われない。一方ポートEから入力された波はポート#1、ポート#2へ互いに逆相で分割されポートHへは現われない。導波管マジックTではE面分岐、H面分岐を組み合わせることによってこのような動作を得ているが、ここで提案するユニプレーナ型マジックTでは、平衡線路であるスロット線路と不平衡線路であるコプレーナ線路の組み合わせ、および結合スロット線路における二つの伝搬モードの直交性を利用している。

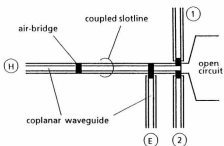
図3.7(a)のマジックTの動作は線路を伝搬する電界の向きを考えることによって理解できる。図3.8はこの動作を説明する模式図であり、電界の向きを矢印で表現している。図3.8(a)は同相分配の模様を示したものである。ポートHから入力された波はコプレーナ線路を伝搬しエアブリッジを用いたT分岐によりスロット線路に変換される。スロット線路を伝搬した波は再びコプレーナ線路に変換されてポート#1、ポート#2から同位相の出力として取り出される。このときポートEのスロット線路を構成する二つの導体は同電位であるのでスロット線路は励振されずポートEへは出力が現われない。



(a) スロット線路を用いたマジックT

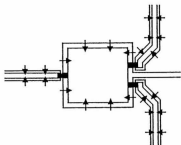


(b) 結合スロット線路を用いたマジックT

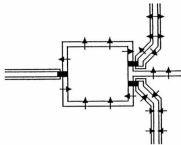


(c) 結合スロット線路を用いたマジックT (コプレーナ線路出力)

図3.7 ユニプレーナ型マジックTの構成



(a) 同相励振



(b) 逆相励振

図3.8 マジックTの動作

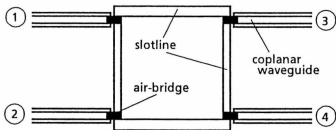


図3.9 スロット線路を用いたブランチャラインカプラ

次に図3.8(b)のようにポートEから波が入力されたときには、入力波はスロット線路を伝搬した後、スロット線路T分岐によって二つのスロット線路を互いに逆相で励振する。これはエアブリッジによってコプレーナ線路に変換されポート#1、ポート#2から互いに逆位相の出力となって取り出される。一方、二つのスロット線路を伝搬する波は互いに逆相であるのでポートHのコプレーナ線路との分岐部において打ち消され、ポートHへは現われない。したがってこの分岐部は等価的な接地状態となり、スロット線路を $1/4$ 波長とすればポート#1、ポート#2への結合部からみると開放となるのでポート#1、ポート#2への分配には影響を与えない。

図3.7(b)、図3.7(c)のマジックTは結合スロット線路の偶奇二つの伝搬モードを利用している。ポートHから入力された波は結合スロット線路を奇モード(コプレーナ線路のモード)で伝搬しポート#1、ポート#2から同位相の出力として取り出される。一方ポートEは結合スロット線路の偶モードを励振するので逆位相の出力が取り出される。このときポートH側のエアブリッジはこの偶モードを打ち消すためポートHへは出力が現われない。図3.7(c)のマジックTは入出力線路が全てコプレーナ線路から成っているので特に実用性が高い。

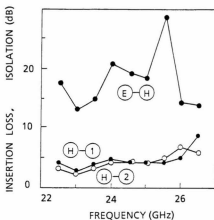
(2) ブランチライン型ハイブリッド回路

ユニプレーナ構造によるブランチライン型ハイブリッド回路を図3.9に示す。ここではブランチラインをスロット線路により構成し、これをコプレーナ線路により励振するようにした。各線路のインピーダンスの関係は普通のブランチライン型ハイブリッド回路と同一である。ポート#1から波がはいったとするとこれはポート#2とポート#4に 90° の位相差で同振幅をもって分配され、ポート#3へは出力されない。

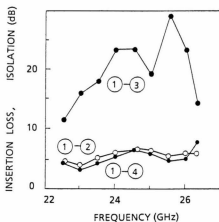
(3) 実験結果

マジックTとブランチライン型ハイブリッド回路を $450\mu\text{m}$ のGaAs基板上に試作した。その測定結果を図3.10に示す。図3.10(a)は図3.7(a)のマジックTの特性である。22.5GHzから25.5GHzにわたり5dB以下の分配損失が得られている。これは原理的な3dBの分配損と伝送線路の損失を含んでいる。アイソレーションは2GHzの帯域にわたって15dB以上である。これには測定時のポート#1、ポート#2の終端のアンバランスが影響している。

図3.10(b)はブランチライン型ハイブリッド回路の特性である。分配損失は22.5GHz



(a) マジックTの特性



(b) ブランチラインカプラの特性

図3.10 試作したハイブリッド回路の特性

から25.5GHzにわたり6dB以下である。スロット線路は10 μ m幅と非常に細いものを用いたため、この損失はスロット線路の損失が支配的であると考えられる。ポート#1、ポート#3間のアイソレーションは3GHzの帯域にわたって15dB以上であった。この帯域幅は1/4波長のスロット線路によって制限を受けている。

これらの試作によって新しい構成のマジックTおよびブランチライン型ハイブリッド回路の動作を確認することができた。またエアブリッジを用いた各種の分岐・線路変換が20GHz以上の周波数帯において正常に機能することが明らかになった。

3.1.4 インダクタとキャパシタ

(1) インダクタとキャパシタによるMMICの構成法

一般に、ICの回路面積は回路のコストや集積しうる回路規模を左右する重要なファクタである。MMICの場合、特に受動回路部分が大きくなりがちで回路中の大半の面積を占めるため小型化の工夫が必要である。

MMIC増幅器などの受動回路部(整合回路、バイアス回路等)の構成法はCR型、LC型、分布定数型の3つに大別できる。CR型はキャパシタと抵抗により損失整合するもので、回路面積は小さくできるが能動デバイスの能力に余裕がない高い周波数帯においては十分な性能が得られない。また分布定数型は分布定数線路の諸性質を利用して所要のリアクタンスを作り無損失整合をとるもので、高い周波数帯においてもデバイスの性能を出しきることができ、また構成要素は素性のよく知られた一般的な伝送線路のみであるので設計性もよい。しかし波長オーダーの線路の性質を利用するため回路寸法は本質的に波長に比例し、比較的低い周波数帯(10GHz程度以下)においては極めて大きなものになってしまう。これに対しスパイラルインダクタ等の集中定数インダクタを用いるLC型は回路に必要なインダクタンス成分とキャパシタンス成分をそれぞれ極力小さな面積にまとめるものである。このため回路の性能を確保しつつ回路の小型化が可能である。しかしインダクタの形状は複雑で完全な理論設計が困難である上、周波数が高くなるにつれて浮遊容量等の寄生素子の影響が大きくなるので正確な回路設計のためにはその周波数特性を把握することが重要である。

(2) インダクタの構造

接地導体を基板上にもつユニプレーナ型のMMICに集中定数インダクタを導入するためには周囲を接地導体で囲んだインダクタ構造とすることがある。インダクタの設計式としていくつかのものが知られており、また接地導体が基板裏面に一様に存在する場合については結合線路の組み合わせとして扱うことにより特性が計算されているが、上のような構造に対し直ちに適用できるものはなく新たな設計データの蓄積が必要である。また、任意のインダクタンスを自由に使うことを可能とするためにはインダクタ形状を一定のルールにのっとって統一しておかなければならない。

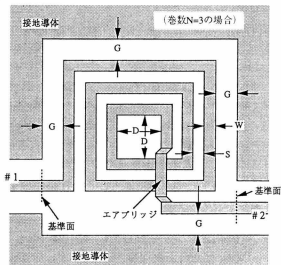
図3.11にユニプレーナMMIC用スパイラルインダクタの構造を示す。線幅 W 、線間隔 S を固定し中心に正方形の余白を設ける。中心部からはエアブリッジを用いて引き出し、インダクタの外周と接地導体との間に一定の間隔 G をおく。中心の余白を設けず中心まで線を巻き込む構造も考えられるが、その場合面積は小さくなるもののインダクタンス値を設定するためのパラメータが巻数 N のみになってしまい連続的なインダクタンス値設定が難しくなる。そこで内径 D を変えることにより細かいインダクタンス値制御を行なうようにした。線幅については細いほど単位面積あたりのインダクタンスを大きくすることができるがその半面損失が増加するとともに電流容量が減少する。ここではメッキをかけるためのパターンルール上の制約も考慮して線幅 $10\mu\text{m}$ 、線間隔 $10\mu\text{m}$ とした。接地導体についてはこれを離すほど浮遊キャパシタンスが減り純粋なインダクタンスに近づくが面積が大きくなってしまう。ここでは $20\mu\text{m}$ としている。以上の寸法を固定し、残るパラメータ、巻数 N および内径寸法 D により必要なインダクタンス値に設定する。図3.11は $N=3$ の場合の構造である。

図3.12にはメアング型インダクタの構造を示す。これはスパイラルインダクタに較べてより伝送線路に近い性質をもっており、面積あたりのインダクタンスは小さいが共振周波数が高いという特徴がある。したがって比較的小さいインダクタンスを必要とする場合や高い周波数帯での使用に適する。ここでも線幅 $10\mu\text{m}$ 、線間隔 $10\mu\text{m}$ 、接地導体からの余裕 $20\mu\text{m}$ とし、ターン数 M とセグメント長 l によりインダクタンス値を設定することとした。

(3) インダクタの測定とモデリング

インダクタの特性を実験的に把握するため、各種の巻数 N および内径寸法 D をもつ評価用インダクタを作製した。測定はマイクロ波ウェハプローブ(Cascade Microtech

■構造



■等価回路

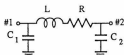
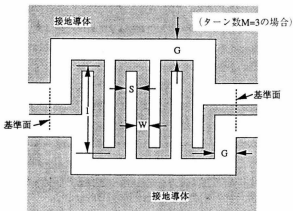


図3.11 スパイラルインダクタの構造

■構造



■等価回路

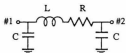


図3.12 メアンダインダクタの構造

社)とネットワークアナライザ(HP8510)を用いてオンウェハで行なった。開放、短絡、50Ω終端の3種類の校正用パターンを用いてインダクタの基準面で測定値を校正する。この方法では、個々のインダクタを切り出して測定する方法と異なり、ボンディングワイヤや測定治具の影響を受けないため高い周波数まで非常に正確な測定が可能である。

図3.13、図3.14にスパイラルインダクタ、メアングインダクタのSパラメータ(散乱行列の各要素:例えば S_{11} はポート#1における反射係数、 S_{21} はポート#1からポート#2への透過係数を表す)の測定値の例を示す。これらには接地導体との間の浮遊キャパシタンスと導体損を現す抵抗を付加した π 型等価回路のSパラメータも同時に示してある。これらの等価回路は、等価回路パラメータを未知数としてSパラメータの周波数特性を測定値に合わせ込むことにより得られたものである。両者は高い周波数まで良く一致しており、簡単な等価回路で無理なくインダクタの特性を表現できることがわかる。このようなパラメータの合わせ込みを多数の評価用インダクタについて行なうことによりインダクタの寸法と等価回路パラメータを結びつける設計チャートが得られた。これにより各種回路を設計性よく小型化することが可能になった。

(4)MIMキャパシタ

MMICにおける集中定数キャパシタには、図3.15(a)のように絶縁膜を介して導体膜を対向させるMIM(Metal-Insulator-Metal)キャパシタと図3.15(b)のような同一面上の導体膜の間隙を用いるインターデジタルキャパシタとがある[6]。後者は製造プロセスのばらつきに対してほとんど影響を受けないという利点をもつが、得られるキャパシタンスが小さく面積効率が悪い。本研究ではキャパシタとしては窒化シリコン薄膜を絶縁膜とするMIMキャパシタを全面的に用いた。

3.2 小型化90°ハイブリッド回路

信号を互いに180°や90°の位相差で分配・合成するハイブリッド回路は、バランス型ミキサやイメージリジェクションミキサ、バランス型増幅器等に広く使われる重要な回路である。これには分布結合線路を用いる方向性結合器やブランチライン型ハイブリッド回路、ラットレース回路等があり、3.1.3節においてもユニプレーナ型の構成を用いたいくつかの回路について述べた。これらのMICもしくはMMICで

◇N=2、D=60

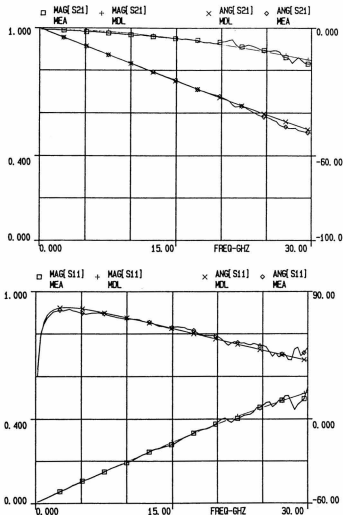
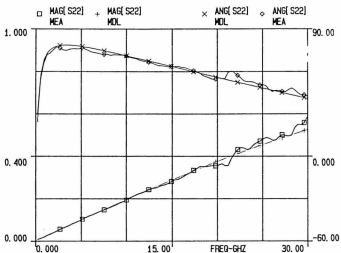


図3.13 スパイラルインダクタの測定結果

S11、S22はそれぞれポート#1、#2の反射係数、S21はポート#1から#2への透過係数。MAG[]はその絶対値、ANG[]は偏角を表している。MEAとあるのは測定値、MDLは得られた等価回路のSパラメータ。N、Dはそれぞれ巻数および内径。



◇ $N=4$, $D=40$

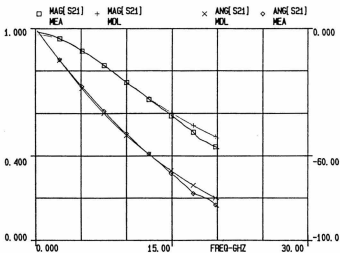


図3.13 スパイラルインダクタの測定結果(つづき)

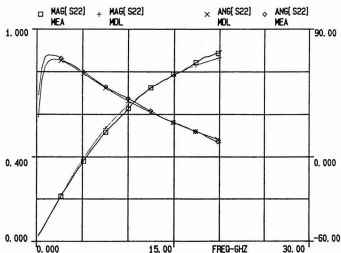
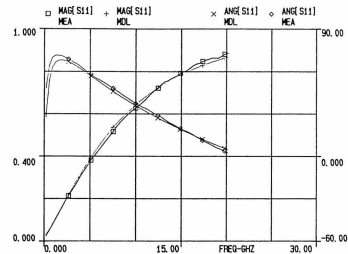


図3.13 スパイラルインダクタの測定結果(つづき)

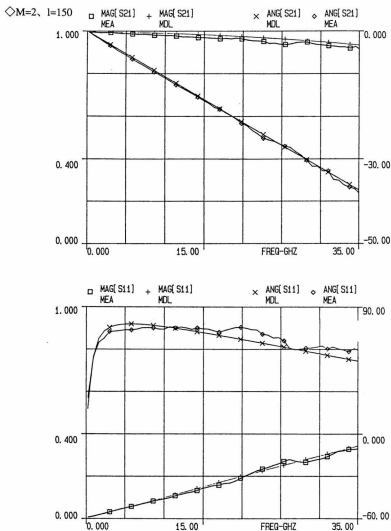


図3.14 メアンダインダクタの測定結果

S11は反射係数、S21は透過係数。MAG[]はその絶対値、ANG[]は偏角を表している。MEAとあるのは測定値、MDLは得られた等価回路のSパラメータ。M、lはそれぞれターン数およびセグメント長。

◇M=4、I=200

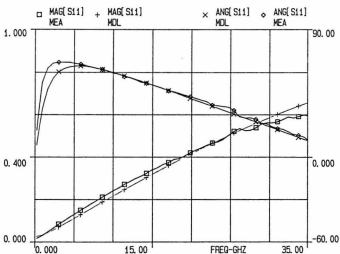
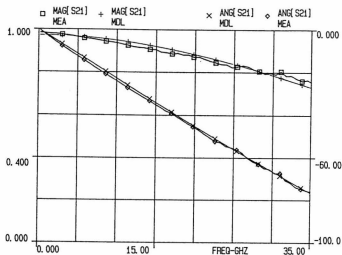
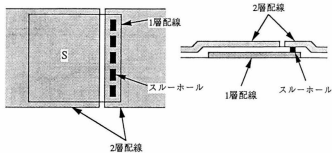


図3.14 メアンダインダクタの測定結果(つづき)



(a) MIMキャパシタ



(b) インターディジタル型キャパシタ

図3.15 キャパシタの構造

用いられるハイブリッド回路はいずれも $1/4$ 波長の分布定数線路の性質を利用している。

しかし $1/4$ 波長線路の寸法は10GHzで2mm以上にもなり、これらをMMICに用いるとチップの面積の大半をハイブリッド回路が占めることになってしまう。これはMMICのチップコストを上げることにつながる。受動回路の面積を抑える一つの方法は、3.1.4節で述べたように集中定数インダクタを導入し集中定数化することである。しかしこれには、分布定数回路のもつ設計性の良さが失われるとともに高い周波数帯では適用し難いという欠点がある。

本節では、短い高インピーダンス線路と集中定数キャパシタを組み合わせる新しい小型化の手法を提案し、これを用いた小型化ブランチライン型ハイブリッド回路およびラットレース回路の設計法、実験結果について述べる[7]。

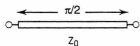
3.2.1 半集中定数型の回路構成法

図3.16(a)の $1/4$ 波長分布定数線路は従来の集積化ハイブリッド回路において機能実現の鍵となっている回路要素である。これは分布したシリーズのインダクタンスとシャントのキャパシタンスより成っている。さて、いまこの線路を所要長である $1/4$ 波長より短くし、短いままで長い線路と同じ特性を得る方法を考える。この場合線路が短いため分布しているインダクタンス、キャパシタンスがそれぞれ少なくなっている。ここで線路の特性インピーダンスを上げるとインダクタンス成分が増えキャパシタンス成分はさらに減少する。そこで、不足するキャパシタンスを図3.16(b)に示すように集中定数キャパシタで別途補うことができれば目的を達することができる。

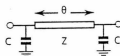
このことを定量的に調べてみる。図3.16(a),(b)の回路のアドミタンス行列 $[Y_a]$ 、 $[Y_b]$ はそれぞれ次のようになる。

$$[Y_a] = \frac{1}{jZ_0} \begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix} \quad (3.2)$$

$$[Y_b] = \begin{bmatrix} \frac{\cos\theta}{jZ\sin\theta} + j\omega\theta & \frac{1}{jZ\sin\theta} \\ \frac{1}{jZ\sin\theta} & \frac{\cos\theta}{jZ\sin\theta} + j\omega\theta \end{bmatrix} \quad (3.3)$$



(a) 1/4波長線路



(b) 1/4波長線路と等価な回路

図3.16 1/4波長線路の短縮

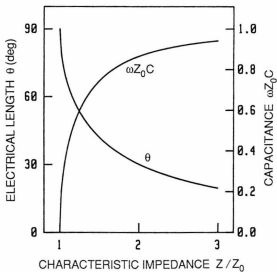


図3.17 等価になる条件

ここで

Z_0 : 1/4 波長線路の特性インピーダンス

Z : 短くした線路の特性インピーダンス

θ : 短くした線路の電気長

ω : 周波数

これらの二つの式を較べることにより、次の条件が得られる。

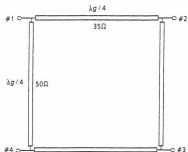
$$Z = Z_0 / \sin \theta \quad (3.4)$$

$$\omega C = (1/Z_0) \cos \theta \quad (3.5)$$

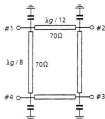
これを図3.17に図示する。特性インピーダンスの比 (Z/Z_0) に対し、1/4波長線路と等価になるために必要な電気長 θ および装荷すべきキャパシタ ωC をプロットしてある。特性インピーダンス Z を上げ装荷するキャパシタンス C を増やしていくことにより、電気長 θ を短くできることがわかる。なお $\theta = 0$ の極限は完全に集中定数の場合に相当する。この手法によれば、例えば、線路の特性インピーダンスをもとの1/4波長線路の1.4倍に上げることにより線路長を半分の1/8波長に縮めることができ、各種の分布定数型受動回路を小型にすることができる。またこの回路構造においてはキャパシタを接地面にシャント接続する必要があるが、この点で接地導体を基板上面にもち接地が容易なユニプレーナ型MMICに特に適する。

3.2.2 90° ハイブリッド回路の構成

90° ハイブリッド回路として分布結合型方向性結合器と並び広く用いられているブランチャイン型ハイブリッド回路の構成を図3.18(a)に示す。この回路は上で述べた方法により大幅に小型化することができる。通常の線路インピーダンスは Z_0 および $Z_0/\sqrt{2}$ である。小型化ハイブリッド回路中の線路の特性インピーダンスを Z とすれば、ブランチャ線路の電気長 θ_1 、スルー線路の電気長 θ_2 、キャパシタンス C は次のようになる。



(a) 通常のブランチャライン型ハイブリッド回路



(b) 小型化したブランチャライン型ハイブリッド回路

図3.18 ブランチャライン型ハイブリッド回路の小型化

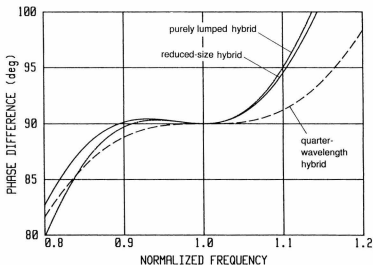


図3.19 分配位相差の周波数特性

$$\theta_1 = \arcsin y \quad (3.6)$$

$$\theta_2 = \arcsin \frac{y}{\sqrt{2}} \quad (3.7)$$

$$\omega CZ_0 = (1 - y^2)^{1/2} + (2 - y^2)^{1/2} \quad (3.8)$$

ここに $y = Z_0/Z$ である。

例えば、 $y = 1/\sqrt{2}$ とすると $\theta_1 = 45^\circ$ 、 $\theta_2 = 30^\circ$ となる。つまり線路のインピーダンスを 70.7Ω とすることにより図3.18(b)のように線路長を $1/8$ 波長、および $1/12$ 波長に短縮できる。線路の特性インピーダンスをより高く選ぶとともに短縮することが可能であるが、そのためにコプレーナ線路導体間のギャップを大きくする必要がある。線路が太くなるとともに分岐部の不連続が大きくなる。

この小型化ブランチラインハイブリッド回路の周波数特性を調べるために、S31(カップリング)とS21(ダイレクト)の位相差を図3.19にプロットした。ここには従来の $1/4$ 波長ハイブリッド回路と純集中定数ハイブリッド回路の特性も併せて示した。小型化ハイブリッド回路の周波数帯域は純集中定数のものよりは少し広いが $1/4$ 波長ハイブリッド回路に較べると狭くなることがわかる。

次にこの小型化ハイブリッド回路の損失について論じる。ハイブリッド回路に高インピーダンスのコプレーナ線路を用いることにより、挿入損失が増加することが懸念される。事実コプレーナ線路の線路損失は中心導体の幅が狭くなるにつれて急激に増加する。一方、高インピーダンスの線路においては電流が小さくなるためその導体損は一般に小さくなる。そこで小型化ハイブリッド回路の損失を定量的に調べてみる。

コプレーナ線路の導体損は Wheeler の incremental inductance rule[8] を用いて見積ることができる[1]。計算により求めたコプレーナ線路の減衰定数と、導体損を考慮した複素特性インピーダンスを用いて、小型化ハイブリッド回路の S パラメータを計算した。25GHz のハイブリッド回路について、中心導体幅 W をパラメータとして導体のギャップ G に対して分配損失を計算した結果を図3.20に示す。また、そのときのブランチ線路の長さを図3.21にプロットした。なお基板の誘電率は12.6とし、導体は金

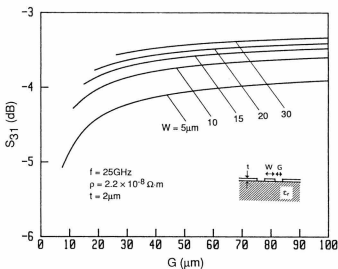


図3.20 小型化ブランチャライン型ハイブリッド回路の分配損失

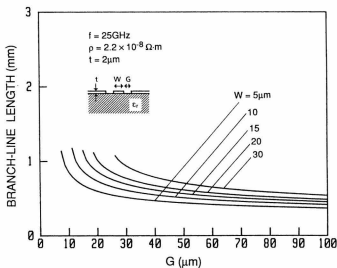


図3.21 小型化ブランチャライン型ハイブリッド回路のブランチャ長

を想定して導電率を $2.2 \times 10^{-8} \Omega \cdot \text{m}$ 、厚さを $2 \mu\text{m}$ とした。これによれば、Wを細くGを大きくすると特性インピーダンスが上がるため線路長が短くなるが、予想されたようにWを細くすることにより損失が増加する。しかしWを一定とすればGを大きくすると損失は減少する。これは先に述べたように、特性インピーダンスが上がったことによって線路を流れる電流が減少するためである。したがって、ここで提案した小型化の手法はWを細くしない限り損失の増加を招かないことがわかる。

3.2.3 90° ハイブリッド回路の試作結果

この構成のハイブリッド回路を25GHz帯および11GHz帯においてGaAs基板上に設計・試作した。図3.22に25GHz帯ハイブリッド回路の写真を示す。全ての伝送線路は特性インピーダンス70Ωのコプレーナ線路であり、その中心導体幅は $10 \mu\text{m}$ 、長さは $1/8$ 波長および $1/12$ 波長である。コプレーナ線路の分岐部においては接地導体の電位を等しく保つためエア・ブリッジを用いている。キャパシタは窒化シリコン膜を絶縁膜とするMIM型のものを内側の接地導体の角にあたる部分に配置した。回路の寸法は約 $500 \mu\text{m} \times 500 \mu\text{m}$ であり従来のブランチャイン型ハイブリッド回路の約 $1/5$ である。

試作した25GHzハイブリッド回路の測定結果を図3.23に計算値とともに示す。 S_{21} 、 S_{31} は分配特性、 S_{11} は反射特性、 S_{41} はアイソレーション特性である。測定はマイクロ波ウェハプローブを用いてオンウェハで行なった。計算において考慮していない損失により理想値に比べ1.5dBの損失があるが等振幅の正常な分配特性と良好なアイソレーションが得られている。挿入損失の要因の主なものは先に述べたコプレーナ線路の導体損であるが、さらに導体の導電率の理想値からの劣化、導体の表面およびパターン端部の凹凸(roughness)の効果、GaAs基板の誘電損等の要因が加わっていると考えられる。

11GHz帯ハイブリッド回路についても同様に試作評価を行なった。測定結果を図3.24に示す。コプレーナ線路の中心導体幅はこれも $10 \mu\text{m}$ であり、25GHz帯のものと同様に良好な分配特性を示した。これらの実験結果により、ここで提案したハイブリッド回路の小型化手法の有効性が確認された。

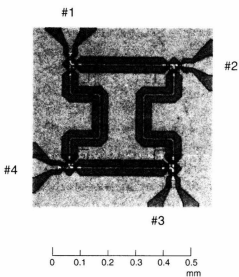


図 3.22 小型化ブランチライン型ハイブリッド回路の写真

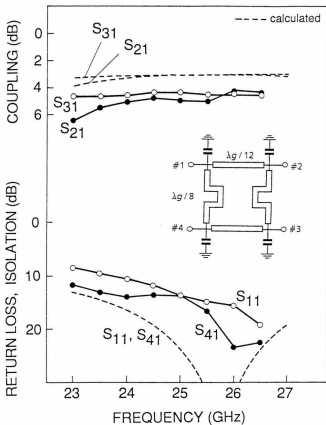


図3.23 26GHz帯小型化ブランチャライン型ハイブリッド回路の特性
 S_{21} 、 S_{31} ：分配特性、 S_{11} ：反射特性、 S_{41} ：アイソレーション特性

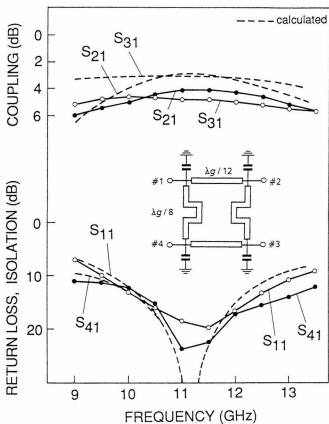


図3.24 11GHz帯小型化ブランチライン型ハイブリッド回路の特性

S_{21} 、 S_{31} ：分配特性、 S_{11} ：反射特性、 S_{41} ：アイソレーション特性

3.3 小型化 180° ハイブリッド回路

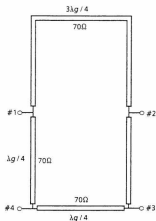
3.3.1 180° ハイブリッド回路の構成

導波管回路におけるマジックTと類似の動作をし、逆相および同相の信号分配・合成ができる 180° ハイブリッド回路は応用上重要な回路である。しかしMIC、MMICに適用できるものは $3/4$ 波長線路と $1/4$ 波長線路の遅延を利用したいわゆるラットレース回路、ラットレース回路の $3/4$ 波長線路を結合線路で置き換えた位相反転型ハイブリッドリング、およびスロット線路を用いたものに限られる。ここでは半集中定数化の手法によりラットレース回路の小型化を行った。ラットレース回路は図3.25(a)に示すように1本の $3/4$ 波長線路と3本の $1/4$ 波長線路よりなる。 $1/4$ 波長線路は 90° ハイブリッド回路の場合と同様の方法により短縮できる。また $3/4$ 波長線路についてはこれが $1/4$ 波長線路と逆の $3\pi/2$ ($-\pi/2$)の位相遅延をもつことから図3.25(b)のような高域通過型回路で置き換えることが考えられる。実際、特性アドミタンス Y_0 の $3/4$ 波長線路を π 型等価回路で表現すると図3.25(b)のようになり[9]、これが可能であることがわかる。さらにこのシャント・サセプタンス $-jY_0$ は隣接の $1/4$ 波長線路を短縮する際に装荷されるサセプタンス $jY_0 \cos \theta$ と並列に接続されるためこれらはかなりの部分互いに打ち消しあってしまう。そこで回路を小型にするためこのサセプタンス $-jY_0(1-\cos \theta)$ は特に装荷せず、他の回路パラメータを加減することにより所望の動作を得ることとする。結局、これにより図3.25(c)の回路で従来のラットレース回路を置き換えられることがわかった。図3.26に図3.25(c)の回路の周波数特性を従来のラットレース回路のそれとともに示す。

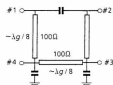
この小型化ラットレース回路の別の利点としてそのフレキシブルなポート配置を挙げることができる。図3.27は小型化ラットレース回路において可能となるポートの入れ替えを図示したものである。従来の集積化マジックTではほとんどのものが、互いに逆相となる分配ポート(図3.27では#2、#4)の間に他のポート(#1)が存在しミキサ等の回路への適用に際し不都合があった。これに対しここで提案したラットレース回路では図3.27のように集中定数キャパシタの電極への接続を変えるだけで何ら性能の劣化を招くことなくポートの配置を変えることができる。

3.3.2 180° ハイブリッド回路の試作結果

この構成の25GHz帯 180° ハイブリッド回路をGaAs基板上に試作した。伝送線路のインピーダンスは 100Ω とし、中心導体幅は $10\mu\text{m}$ とした。測定結果を図3.28に計



(a) 通常のラットレース回路



(c) 小型化したラットレース回路

図3.25 ラットレース回路の小型化

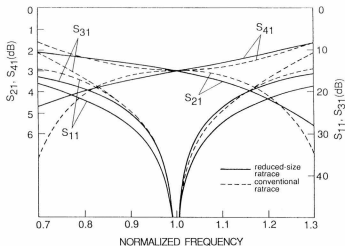
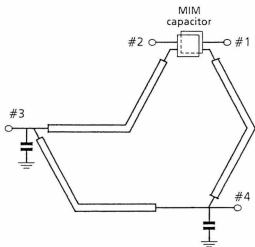
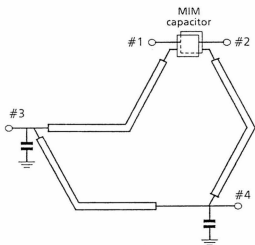


図3.26 小型化ラットレース回路の周波数特性



(a)



(b)

図3.27 小型化ラットレース回路におけるポートの入れ替え

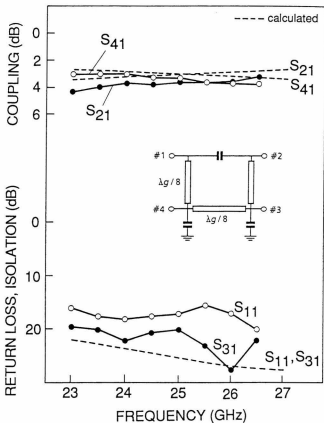


図3.28 小型化ラットレース回路の特性

S_{21} 、 S_{41} ：分配特性、 S_{11} ：反射特性、 S_{31} ：アイソレーション特性

算値とともに示す。分配特性、アイソレーションとも良好である。挿入損失はブランチライン型ハイブリッド回路に較べ小さくなっているがこれは線路の特性インピーダンスが高いためである。図3.29は試作した回路のチップ写真である。コプレーナ線路のインピーダンスは 100Ω としたため中央の接地導体は相当細くなっており、伝送線路とみなすことのできる限界と思われる。使用している線路は $1/8$ 波長線路のみであり大幅な小型化が達成されている。

3.4 むすび

ユニプレーナ型MMICにおいて用いることができる基本的な伝送線路や分岐回路・線路変換を整理するとともにそれらの動作やそれらを用いて実現できる各種ハイブリッド回路について述べた。さらにMMICの小型化に必須である集中定数エレメントの特性と回路設計上重要なそのモデリングの方法について述べた。また、MMICの構成上重要なハイブリッド回路の小型化に関連して、高インピーダンス線路と集中定数キャパシタを組み合わせる新しい小型化手法を提案し、新しい構成のブランチライン型ハイブリッド回路とラットレース回路の設計法と試作結果について述べその有効性を明らかにした。

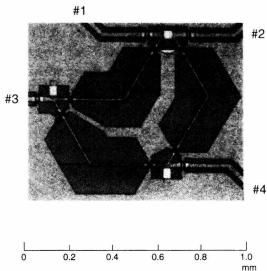


図 3.29 小型化ラットレース回路の写真

- [1] K. C. Gupta, R. Garg and I. J. Bahl, *Microstrip lines and slotlines*, Artech House, 1979.
- [2] S. B. Cohn, "Slot line on a dielectric substrate," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-17, pp.768-778, Oct., 1969
- [3] E. A. Mariani, C. P. Heinzman, J. P. Agrios and S. B. Cohn, "Slot line characteristics," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-17, pp.1091-1096, Dec., 1969.
- [4] R. Garg and K. C. Gupta, "Expressions for wavelength and impedance of a slotline," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-24, p.532, Aug., 1976.
- [5] T. Hirota, Y. Tarusawa and H. Ogawa, "Uniplanar MMIC hybrids-A proposed new MMIC structure," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-35, pp. 576-581, 1987.
- [6] R. A. Pucel, "Design considerations for monolithic microwave circuits," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-37, pp.406-413, Feb., 1989.
- [7] T. Hirota, A. Minakawa and M. Muraguchi, "Reduced-size branch-line and rat-race hybrids for uniplanar MMIC's," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-38, pp. 270-275, 1990.
- [8] H. A. Wheeler, "Formulas for skin effect," *Proc. IRE*, vol. 30, pp.412-424, Sept. 1942.
- [9] 中島, マイクロ波工学, p. 310, 森北出版, 1975.

4.1 まえがき

無線送受信装置等の高周波装置においては、個々の機能回路ブロック間の信号のインターフェースレベルを所要の値まで増幅したり、所要の送信出力を得るために多くの増幅器が用いられる。またMMICにより装置を構成する場合には、装置の小型化を阻害するアイソレータやサーキュレータの使用を避けるために、これらの代わりにバッファとして増幅器を用いることも多い。本章ではMMIC増幅器の基本的な設計法と、応用として局部発振器出力を分配する分岐増幅器、回路面積の小型化に有効なカスコード型増幅器の設計法および試作結果について述べる。

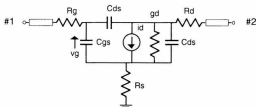
4.2 集中定数型増幅器

4.2.1 FETのモデル化

製造後の回路特性の調整が不可能なMMICの設計にあたっては、精度の高い回路設計を行なうために、使用する半導体デバイスを正確にモデル化することが必要である。線形回路の設計のためには、使用する動作点における小信号Sパラメータの周波数特性を表現できる等価回路が得られればよい。

FETの等価回路として図4.1の回路を用いる。これはFETの動作原理に基づく電圧制御電流源に、ショットキダイオードを構成するゲート・ソース間およびゲート・ドレイン間の容量 C_{gs} 、 C_{gd} 、各電極の接合抵抗、電極自身の抵抗等を加えたものである。さらに被測定用のFETの測定基準面の位置を表すために入出力に伝送線路を付加している。

これらの等価回路パラメータのうち抵抗成分については直流測定からある程度求めることができる。例えば、ドレインを開放としてゲート・ソース間に順方向電流を流しこのときのドレイン・ソース間の電圧を測定することでソース抵抗 R_s を知ることができる。また、このときのゲート・ソース間のダイオード特性から $(R_g + R_s)$ が求まる。



g_m : 相互コンダクタンス
 C_{gs} : ゲート・ソース間容量
 C_{gd} : ゲート・ドレイン間容量
 C_{ds} : ドレイン・ソース間容量
 R_g : ゲート抵抗
 R_d : ドレイン抵抗
 R_s : ソース抵抗

ドレイン電流 i_d は C_{gs} にかかる電圧 v_g に比例するものとし、
 $i_d = g_m \cdot v_g$ とする。

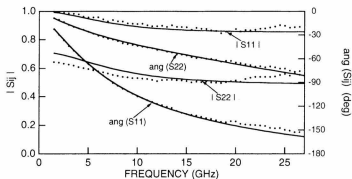
図4.1 FETの線形等価回路

さらにイントリンシックな相互コンダクタンス g_{mi} およびドレイン・コンダクタンス g_{di} は見かけの相互コンダクタンス g_m および見かけのドレイン・コンダクタンス g_d に対して次式により算出することができる。

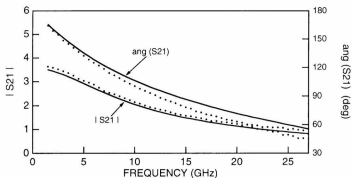
$$g_{mi} = \frac{g_m}{1 - (R_s + R_d) g_d - R_s g_m} \quad (4.1a)$$

$$g_{di} = \frac{g_d}{1 - (R_s + R_d) g_d - R_s g_m} \quad (4.1b)$$

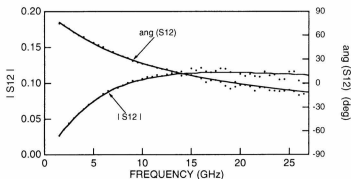
最終的には、測定したFETのSパラメータ(散乱行列の各要素)と等価回路のそれが所要の周波数帯域にわたって等しくなるよう未知の等価回路パラメータを合わせ込むことにより回路設計に用いるFETモデルが得られる。図4.2にこのようにして得られたFETモデルのSパラメータの例を測定値とともに示す。対象のFETはイオン注入セルフアラインプロセス[1]によるゲート長 $0.3 \mu\text{m}$ 、ゲート幅 $200 \mu\text{m}$ のMESFET(METal Semiconductor FET)である。測定には第3章のインダクタのモデリン



(a) S11、S22 (ポート#1、#2における反射係数)



(b) S21 (ポート#1からポート#2への透過係数)



(c) S12 (ポート#2からポート#1への透過係数)

図4.2 FETのSパラメータの例
(点は測定値、実線は等価回路モデルのSパラメータ)

グの場合と同様、マイクロウェーブプローブを用いている。図4.2からわかるように得られた等価回路は高い周波数帯まで測定結果をよく表現している。

4.2.2 一段増幅器の設計

ここでは最も基本的なFET一段増幅器として、11GHzおよび14GHzの増幅器の設計例について述べる。

一般に、ある2ポート回路の前後にどのような受動回路をつないでも発振しないための必要十分条件(絶対安定条件)は、その回路のSパラメータが

$$K = \frac{1 + |S_{11}S_{22} - S_{12}S_{21}|^2 - |S_{11}|^2 - |S_{22}|^2}{2|S_{12}S_{21}|} > 1 \quad (4.2)$$

$$|S_{11}S_{22} - S_{12}S_{21}| < 1 \quad (4.3)$$

を満足することである。しかしFETの能力に十分余裕がある周波数帯では安定係数K(Kファクタ)が1以下になり、そのままの入出力の整合をとろうとすると発振するという現象が起きる。このため何らかの安定化の手段を要する。安定化の方法として例えば図4.3に示すような方法が考えられる。図4.3(a)は抵抗を含むフィードバック回路を用いるものであり、図4.3(b)はゲートに並列に安定化回路を設けるものである。いずれも動作帯域においては極力利得を落とさず、低い周波数帯における不安定現象を十分抑えるようインダクタを用いておりキャパシタはDC阻止用である。図4.3(a)の回路は雑音特性の面で有利であるが構造上キャパシタを十分大きくできないことと若干レイアウトが難しいという欠点がある。またドレイン側に安定化回路を設ける方法もあるが電力損失を招いてしまう。ここでは低雑音特性を要求しないことから図4.3(b)の方法を採用することとした。

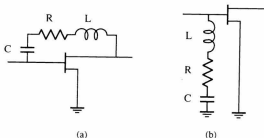
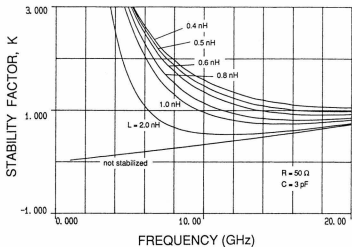


図4.3 FETの安定化の方法

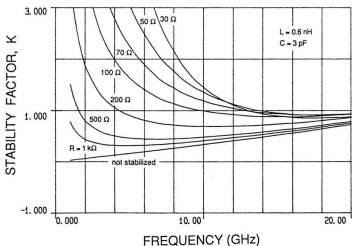
出力電力を10 dBm程度としてFETのゲート幅を200 μ mに選び、これに対して安定係数と有能利得を計算した結果を図4.4(a)～(d)に示す。ここで図4.4(c)(d)の縦軸(maximum gain)はKファクタが1以上のときには最大有能利得(maximum available gain)、1以下のときには最大安定利得(maximum stable gain) $|S_{21}/S_{12}|$ をとっている。予想されるようにインダクタンスおよび抵抗を小さくすると安定化されると同時に有能利得が低下することがわかる。整合回路の損失を見込み、安定係数と有能利得の両方を考慮しつつ安定化回路の定数を選ぶと、11 GHzでは $L = 0.6$ nH 前後、 $R = 50 \sim 80 \Omega$ 程度が適切である。後はこの安定化したFETにバイアス回路と整合回路を付加すればよい。ここではできるだけ回路がコンパクトになるよう、バイアス回路と整合回路を共用できる図4.5の構成とした。整合回路の定数はマイクロ波回路シミュレータ(touchstone)を用いて最適化した。

図4.6に増幅器の回路図を示す。図4.7(a)(b)は周波数特性の設計値である。また図4.8は14GHz帯増幅器のチップ写真である。インダクタには第3章で述べた周囲を接地導体で取り囲むユニプレーナ型のスパイラルインダクタを用いている。インダクタの線幅、線間隔はともに10 μ m、対グラウンド間隔は基本的に20 μ m である。キャパシタはすべてMIM型のもを使用した。チップ寸法は0.82 mm \times 0.75 mm である。

図4.9に試作した11GHz帯増幅器の周波数特性を示す。利得は中心周波数で約8dBあり、設計値に近い特性が得られた。また同図右は、1枚のウェハ中に製造された24個の増幅器チップの利得分布を示したものであり、均一性も良好であることがわか

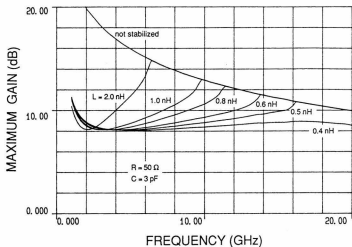


(a) 安定係数 (インダクタンス依存性)

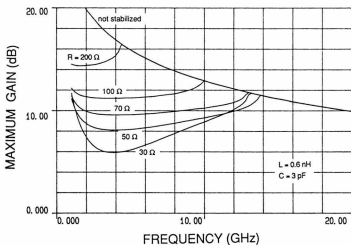


(b) 安定係数 (抵抗依存性)

図4.4 安定化回路のパラメータ依存性



(c) 最大利得（インダクタンス依存性）



(d) 最大利得（抵抗依存性）

図4.4 安定化回路のパラメータ依存性

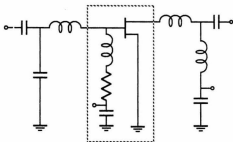


図4.5 整合回路の構成

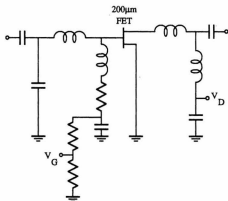
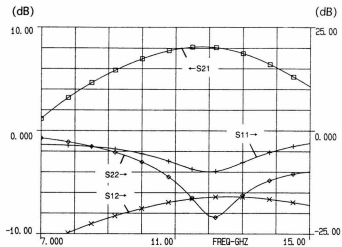
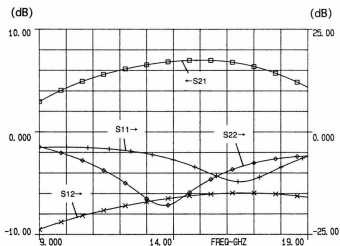


図4.6 増幅器の回路図



(a) 11GHz帯増幅器



(b) 14GHz帯増幅器

図4.7 増幅器の周波数特性の設計値

(S21：利得、S11：入力反射係数、S22：出力反射係数、S12：アイソレーション)

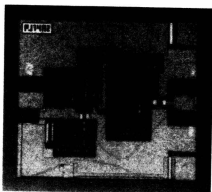
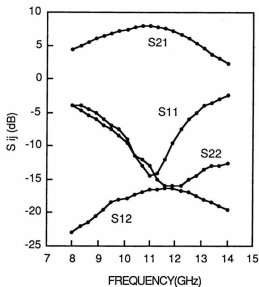


図4.8 14GHz帯増幅器のチップ写真

チップ寸法：0.94 mm × 0.87 mm



11GHz における利得(dB)

	7.7	7.7	7.8	7.7	
8.8	7.7	7.7	7.8	7.9	7.9
7.6	7.7	7.7	7.8	7.9	8.1
	7.8	7.8	7.8	7.6	
	7.6	7.7	7.8	7.4	

図4.9 11GHz帯増幅器の測定結果および同一ウェハ内の利得分布

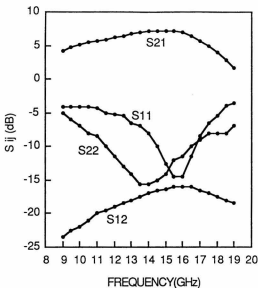


図4.10 14GHz帯増幅器の測定結果

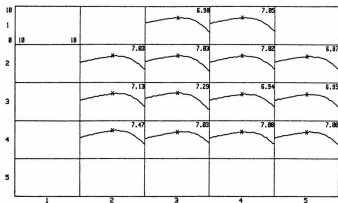


図4.11 14GHz帯増幅器のウェハ面内特性分布

(一つのマス目が一つのチップの周波数特性を示しており、横軸が周波数(10～18GHz)、縦軸が利得(0～10dB)である。右肩の数字は14GHzにおける利得。マス目の位置は各チップのウェハ内の位置を表す。)

る。

図4.10は14GHz帯増幅器の周波数特性であり、中心周波数で7dBの利得が得られている。また図4.11は同一のウェハ内における各増幅器チップの利得周波数特性(10GHz～18GHz)の分布を示しており、一つのチップに相当するマス目の横軸が周波数、縦軸が利得(0～10dB)である。図中の数字は14GHzにおける利得であり、非常に均一な分布が得られている。なお消費電力は11GHz帯増幅器、14GHz帯増幅器とも約100mWである。

4.2 分岐増幅器

各種無線装置に用いられる局部発振器には、その周波数安定化のために高Qの共振器を用いるかあるいはPLLにより水晶発振器等の高安定な低周波発振器に同期させる方法が採られている。このうちPLLによる方法は、周波数安定度に優れるとともに周波数が変化する周波数シンセサイザとすることができることから主流になりつつある。

ところで、このような位相同期発振器においては、発振器出力を分割して一方を局部発振器出力とし、もう一方でPLL用の分周器を駆動しなければならない。このために出力端子間に、アイソレーションをもつ電力分配器が必要である。従来よりマイクロ波帯の電力分配器としてはWilkinson型[2]のものが一般的であるが $1/4$ 波長線路を用いるためMMICとしてはかなり大型になってしまう[3]。これに対し、増幅器によって分配器を構成すればアイソレーションをとりつつ利得がとれ、準集中定数のユニプレーナ型MMICとすれば形状もコンパクトにできる。

増幅器のみで分配回路を構成するために新たに図4.12の回路構成を考案した。これは基本的には2段増幅器であるが、二出力とするために二系統の増幅器の初段のゲートを互いに接続し入力側の整合回路を共通にしたものである。これにより、FETのもつゲート・ドレイン間のアイソレーション特性によって二つの出力端子間のアイソレーションをとりつつ信号分配ができる。回路寸法はWilkinson型電力分配器と増幅器を組み合わせた場合に較べはるかに小さくでき、さらにWilkinson型電力分配器では得られない帯域外でのアイソレーションをもつという利点がある。

この構成により11GHz帯および14GHz帯の二品種の二出力増幅器を設計した。図4.13にその回路図を示す。1段目はゲート幅100 μ mのFETを互いのゲートを接続し、先に述べた方法により安定化して使用した。2段目はゲート幅200 μ mであり基本的

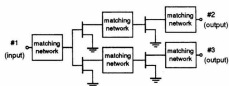


図4.12 二出力増幅器の構成

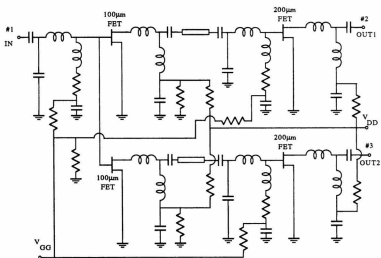


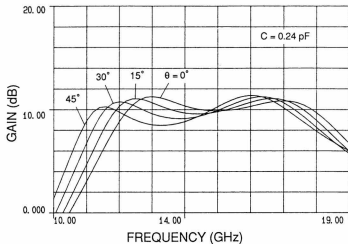
図4.13 二出力増幅器の回路図

に前述の一段増幅器と同一である。設計はまず1段目、2段目をそれぞれ独立に概略設計し、その後全体のシミュレーションを行なった。段間の伝送線路は回路パターンレイアウト上必要なものであるが、全体の周波数特性は段間の回路により大きく変化する。図4.14(a)(b)に段間の伝送線路の電気長および1段目出力側のキャパシタの値を変えたときの周波数特性を示す。ここでは段間の伝送線路長はパターンレイアウトの面から決定し、主に1段目出力側のキャパシタの値により周波数特性を調整した。

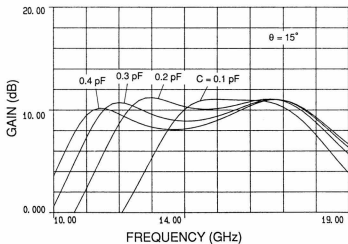
図4.15(a)(b)に11GHz帯増幅器および14GHz増幅器の周波数特性の設計値をそれぞれ示す。また図4.16は11GHz帯増幅器のチップ写真である。チップ寸法はそれぞれ1.53 mm × 1.49 mmである。

図4.17は試作した11GHz帯二出力増幅器の周波数特性である。8dB前後の利得(S_{21} 、 S_{31})と30dB以上の出力端子間アイソレーション(S_{23})、および約20dBの逆方向アイソレーション(S_{12} 、 S_{13})が得られている。このように増幅帯域外においてもアイソレーションをもつため、分周器から発生する低い周波数の不要波をも有効に阻止できる。二つの出力端子間の利得偏差はパターンレイアウトの都合で生じたアンバランスおよび同様の理由で生じた段間伝送線路の長さの差に起因する。図4.18はウェハ面内の特性分布であり、横軸は周波数(8~17GHz)、縦軸は利得(0~15dB)を示している。図4.18に14GHz帯二出力増幅器の周波数特性を示す。11GHz帯増幅器と同様、約8dBの利得が得られている。試作した増幅器は2品種で10GHzから16GHzをカバーし、Ku帯の局部発振器等の広い用途への適用が可能である。11GHz帯増幅器、14GHz帯増幅器とも+4Vの一電源(VDD)で動作し、VGGの端子は通常接続する必要はない。消費電力はともに約400mWである。

この増幅器を電圧制御発振器や分周器等とともに1パッケージに収めKu帯の超小型周波数シンセサイザを実現した[4]。周波数シンセサイザの出力端でのスプリアス成分は-40dB以下でありこれは分岐増幅器の低周波帯にまで至るアイソレーション特性により分周器で発生する不要低周波成分を抑制しているためである。また増幅器の部分を含めて小さい面積に集積したことにより全体を小型パッケージに収めることが可能になった。この超小型周波数シンセサイザは、従来固定周波数の局部発振器を備えていた無線送受信器を汎用化、高機能化する上で大きなインパクトを与えるものである。



(a) 伝送線路長依存性



(b) キャパシタンス依存性

図4.14 段間回路による周波数特性の変化

(増幅器段間の伝送線路の電気長 θ およびキャパシタ容量 C に対する依存性)

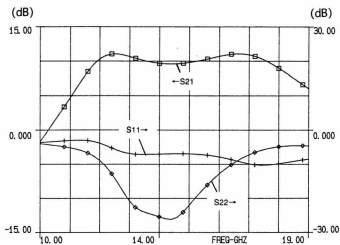
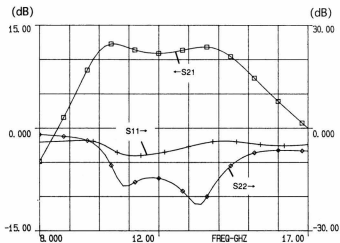


図4.15 二出力増幅器の周波数特性(設計値)

(S21：利得、S11：入力反射係数、S22：出力反射係数)

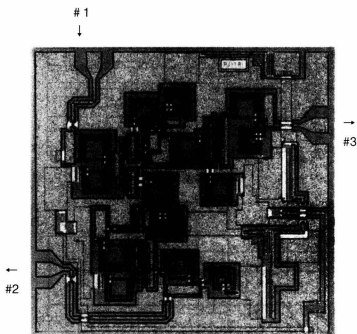
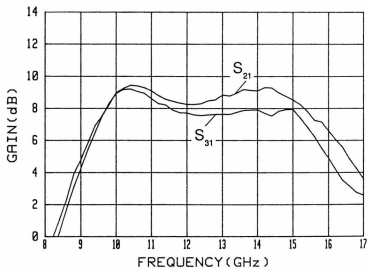
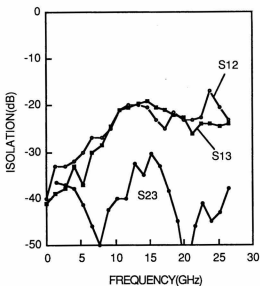


図 4.16 11GHz 帯二出力増幅器のチップ写真
チップ寸法：1.58 mm × 1.61 mm

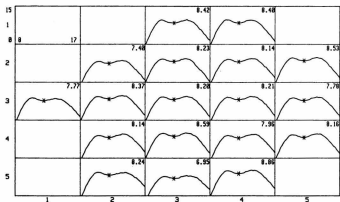


(a) 利得周波数特性

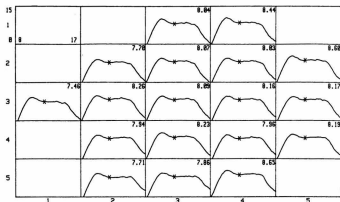


(b) アイソレーション特性

図4.17 11GHz帯二出力増幅器の測定結果



(a) S21



(b) S31

図4.18 11GHz帯二出力増幅器のウェハ面内特性分布

(一つのマス目が一つのチップの周波数特性を示しており、横軸が周波数(8～17GHz)、縦軸が利得(0～15dB)である。右肩の数字は12GHzにおける利得。マス目の位置は各チップのウェハ内の位置を表す。)

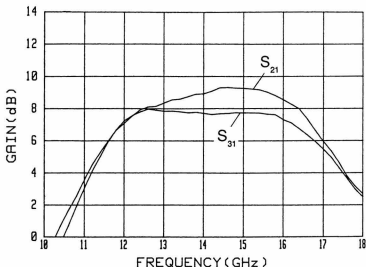


図4.19 14GHz帯二出力増幅器の利得周波数特性

4.3 カスコード型増幅器

MMICの集積度が上がっていった場合、従来のように一回路あたりの性能よりも、むしろ回路面積あたり、あるいは消費電力あたりのパフォーマンスがより重要な性能指標となる。このため集積度の高いMMICにおいてはコンパクトな増幅ブロックが多用されると考えられる。ここではこの観点から、できるだけ小さな面積で大きな利得を得る回路を追求する。

大きな増幅器利得を必要とする場合、通常は一段増幅器を縦続接続して多段増幅器とする。この場合回路面積はそれぞれの一段増幅器の面積の合計と大きな差はない。これに対し図4.20のようなカスコード(Cascode)型のFET対を用いる増幅器[5]は、バイアス回路を初段のソース接地FETと次段のゲート接地FETで共用でき段間の回路も簡単であることから小型化に適した構成と言える。図4.21にカスコードFETの最大安定利得の計算結果を一つのFETのそれと対比して示す。これによれば周波数の高い領域ではほとんど一つのFETの倍、すなわち二段増幅器に匹敵する利得を期

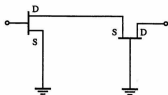


図4.20 カスコード型に接続したFET

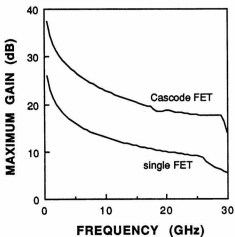


図4.21 カスコードFETの最大利得

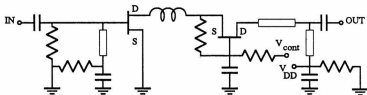


図4.22 カスコード型増幅器の回路図

待できることがわかる。

この性質に着目して、26GHzの超小型増幅ブロックとして、カスコード型増幅器を設計・試作した[6]。図4.22にその回路図を示す。チップ面積を極力抑えるために整合回路には高インピーダンスのコプレーナ線路を用いて線路長の短縮を図った。さらに段間には第3章で述べたメアングインダクタを適用した。またバイアス電流を制御して利得を可変にする機能をもたせるためゲート接地FETのゲートバイアス設定端子を設けている。

図4.23に、ゲート長 $0.3\mu\text{m}$ 、ゲート幅 $200\mu\text{m}$ のFETを用いて試作した増幅器の周波数特性を示す。25GHzから29GHzにわたり10dB以上の利得が得られ周波数特性も平坦である。また図4.24はドレイン電流制御端子による利得可変特性である。電流をしばることにより約25dBの利得制御が可能であることがわかる。このことからMMIC機能モジュールにおける段間のレベル調整や送信電力の制御、受信利得制御等、広い用途が考えられる。回路面積は $0.8\text{mm} \times 0.7\text{mm}$ と非常にコンパクトであり、通常の二段増幅器に比べ利得(dB)/面積比で1.5~2倍の値を得た。

4.4 むすび

本章では、MMIC機能モジュールにおける基本的な回路ブロックである増幅器についてその設計法および試作回路の性能について述べた。

まず設計の基本となるFETのモデリングの手法について述べ基本となる一段増幅器の設計例を示した。次に周波数シンセサイザ、位相同期発振器等における出力分配に用いることを主な目的として二つの出力端子をもつ二段MMIC増幅器を設計・試作し良好な性能を得た。さらに超小型増幅ブロックの必要性和、カスコード増幅器の特徴に着目し、高集積MMICにおける基本増幅ブロックとして26GHz帯MMICカスコード増幅器を設計・試作し、高い利得/面積比を得ることに成功した。

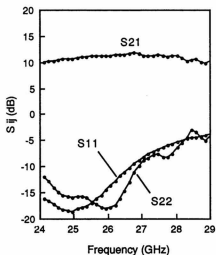


図4.23 26GHz帯カスコード型増幅器の周波数特性
(S21：利得、S11：入力反射係数、S22：出力反射係数)

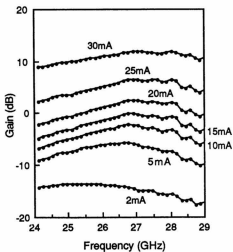


図4.24 26GHz帯カスコード型増幅器の利得可変特性
(ドレイン電流を30mAから2mAまでしぼったときの利得変化)

- [1] T. Enoki, K. Yamasaki, K. Osafune and K. Ohwada, "0.3- μ m advanced SAINT FET's having asymmetric N⁺-layers for ultra high frequency GaAs MMIC's," *IEEE Trans. Electron Devices*, ED-35, pp.18-24, Jan. 1988.
- [2] E. J. Wilkinson, "An N-way hybrid power divider," *IRE Trans. Microwave Theory Tech.*, vol. MTT-8, pp. 116-118, Jan. 1960.
- [3] R. C. Waterman, Jr., et al., "GaAs monolithic Lange and Wilkinson couplers," *IEEE Trans. Electron Devices*, ED-28, pp.212-216, Feb. 1981.
- [4] T. Ohira, M. Muraguchi, T. Hirota, K. Osafune and M. Ino, "Dual-chip GaAs monolithic integration *Ku*-band phase-locked loop microwave synthesizer," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-38, pp. 1204-1209, Sept. 1990.
- [5] E. C. Niehenke, R. D. Hess, J. S. Rosen, L. E. Dickens and J. A. Faulkner, "A compact broad-band multifunction ECM MIC module," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-30, pp. 2194-2200, Dec. 1982.
- [6] 広田, Ka帯超小型MMIC増幅器, 1990電子情報通信学会春期全大, p. 2-477.

5.1 まえがき

ヘテロダイン型の構成をとる無線送受信装置においてはその中核を担う機能回路としてダウンコンバータ、アップコンバータが不可欠である。また入力周波数の整数倍の周波数成分を取り出す周波数乗倍器はしばしば局部発振器の周波数を拡張するために用いられる。装置全体を小型化・低廉化するためにはこれらの非線形機能回路についてもMMIC化を達成する必要がある。

これらの非線形回路の設計にあたってはこれまで述べた受動回路の構成法、線形能動回路の設計法に加えてデバイスの非線形動作の把握や複数の周波数成分の処理等の多くの課題が存在する。本章ではユニプレーナ型MMICの非線形能動回路への展開として、FETを用いた周波数乗倍器およびアップコンバータをとりあげ、その設計法とユニプレーナ構造の利点を生かした回路小型化の手法、さらに試作した各種回路の特性について述べる。

5.2 FETの非線形動作

マイクロ波帯で周波数変換等を行なう非線形素子として一般的に用いられるものは、主にショットキダイオード、バラクタダイオードあるいはGaAsFETである。ハイブリッドMICや導波管回路においては受信ミキサを中心としてショットキダイオード、またアップコンバータや周波数乗倍器にはバラクタダイオードがよく用いられている。これらは専用の半導体製造プロセスによりそれぞれの用途に合わせたデバイス設計に基づいて製造されている。

しかしMMICにおいては基本となる半導体デバイスはMESFETであり、これにダイオード専用のプロセスを加えることは製造コストの面から無理があるので、ショットキダイオードを必要とする場合はFETのゲートをアノードとしソースとドレインを接続してこれをカソードとしたものが用いられる。バラクタダイオードについてもこのFETによるショットキダイオードに逆バイアスをかけたものを流用するのが普通である。このためこのようなショットキダイオードではその固定抵抗分が大きくまたバラクタダイオードでは加えて可変容量範囲が小さいという欠点が顕著で良好な性能が期待できず、むしろFETそのものを非線形素子として回路を構成するほうが得策である。また、FETの能動的性質をうまく用いることにより周波数変

換の変換損失を小さくできたり、ゲート・ドレイン間のアイソレーションを利用して出力側と入力側を分離しフィルタの数を減らすというような効果もある。したがって本研究では周波数変換のための非線形素子としては全てFETを用いることとした。

FETの非線形動作が得られる動作領域としては、主に図5.1のFETの静特性に示した3つがある。ひとつはゲート電圧 V_{gs} 対ドレイン電流 I_{ds} 特性においてドレイン電流が流れなくなるピンチオフ領域の折れ曲がり(図5.1のAの領域)、すなわち相互コンダクタンスの非線形性を用いるものであり、二番目のものは同じくゲート電圧 V_{gs} 対ドレイン電流 I_{ds} 特性においてゲート電流が流れ始めドレイン電流が飽和する領域(Bの領域)を利用するものである[1]-[4]。後者はゲートソース間のショットキダイオード特性を利用したものともみることができる。いまひとつはドレイン電圧 V_{ds} 対ドレイン電流 I_{ds} 特性のいわゆる「肩」の部分(Cの領域)の非線形性を用いるものである[5]。

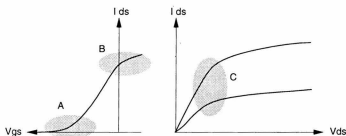


図5.1 FETの非線形動作領域

これらにはいずれも長短があるが、FETの能動的性質を生かすためには利得を望む信号はゲート側に入力するのが良い。また各周波数成分の分離を容易にするためには近接した周波数成分はゲートとドレインの双方に分離するのが得策である。またピンチオフ特性を用いるものはビルトイン電圧付近を用いるものに比べて消費電力の面で有利である。本研究で対象とする周波数通信器とアップコンバータでは、

これらの点に鑑み後に述べるようにそれぞれピンチオフ付近の動作点を用いることにした。

5.3 周波数増倍器

5.3.1 周波数増倍器の構成

周波数増倍器の基本構成は図5.2に示すようなもので、入力周波数 ω_0 に対しその高調波を発生する非線形素子、所望の周波数成分 $n\omega_0$ のみを選択して出力するための部分、および発生した高調波を入力側に戻さないようにするための部分よりなる。

非線形素子としてFETを用いた場合、ゲート・ドレイン間のアイソレーションを利用できるので入力側の高調波阻止回路は不要である。また、発生する高調波の電力レベルは次数が上がるにつれて急激に小さくなるので、出力側の周波数選択回路については2倍倍回路の場合通常は基本波を抑圧するだけで十分である。したがってFET2倍倍器においては出力側の基本波 ω_0 の抑圧回路の構成法が重要である。

よく用いられる基本波抑圧回路（基本波トラップ回路）は図5.3(a)のような基本波に対して4分の1波長の先端開放スタブである[6]。この回路は基本波に対しては短絡、2倍波に対しては開放に見えるので簡単に目的を達することができる。しかし4分の1波長線路の長さは、例えば6GHz帯においてはGaAs基板上で5mmにもなり、回路面積がICコストに直ちに反映するMMICに用いるのは得策ではない。一方、図5.3(b)に示すバランス型回路は基本波を逆位相で合成することによりキャンセルするもので図5.3(a)のようなスタブは不要である。つまり、二つのFETに入力される基本波の位相角をそれぞれ

$$\phi_1 = \omega_0 t + \phi_0, \quad \phi_2 = \omega_0 t + \phi_0 + \pi \quad (5.1)$$

とすると発生する n 次高調波 $n\omega_0$ 成分の位相角は

$$n\phi_1 = n\omega_0 t + n\phi_0, \quad n\phi_2 = n\omega_0 t + n\phi_0 + n\pi \quad (5.2)$$

となるからこれらは偶数次高調波については互いに同相であるので合成され、基本波および奇数次高調波については逆相であるので抑圧される。ただし 180° の位相

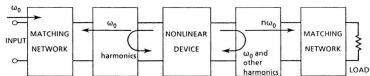
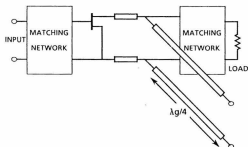
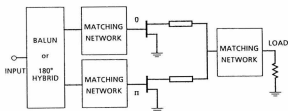


図5.2 周波数通倍器の基本的な構造



(a) $1/4$ 波長開放線路による基本波トラップ



(b) バランス型の構成

図5.3 周波数通倍器における基本波抑圧法

差を得るためバランもしくはハイブリッド回路を要し、従来技術ではこの部分が極めて大型となる。

新たに考案したユニプレーナ型の周波数通信回路はこの問題を解決するもので、図5.4に示す構成をもつ。コプレーナ線路から入力された信号はコプレーナ線路/スロット線路変換回路を経てスロット線路を伝搬する。2つのFETはスロット線路に直列に接続されているので2つのゲートには互いに逆相の信号が印加される。したがってドレイン側の合成部においては2倍波が合成され、基本波はキャンセルされる。この構成においては4分の1波長以上の長い線路を必要とせず、小型のコプレーナ線路/スロット線路変換回路[7]を用いることにより回路面積を小さくすることができる。また4分の1波長線路やフィルタを用いた場合と異なり基本波抑圧特性が周波数に依存しないため広い帯域で良好なアイソレーションが得られる。

5.3.2 ユニプレーナ型周波数通信器の設計

FETを用いた周波数通信器はその動作点により2つに大別される。一つは図5.5(a)に示すようにピンチオフ点付近にゲート・バイアスを設定し、主に相互コンダクタンス g_m の非線形特性を利用するものであり、いま一つは図5.5(b)のようにゲート・バイアスをビルトイン電圧よりに設定しゲート・ソース間のダイオード特性、すなわちゲート・ソース間コンダクタンスの非線形性を主に利用するものである。いずれにおいても高調波発生に寄与するのはドレイン電流がクリップされる効果であり、本質的に両者の通信損失（利得）に大きな差はない[3]。しかし、前者は消費電力の点で後者に優るとともに、後者のように大きなゲート電流が流れることがないという利点がある。そこでここでは「ピンチオフ」タイプの動作モードを採用ことにした。

次に通信器の設計上重要な点は基本波に対する負荷条件である。前述したように、ドレインに発生する基本波成分は合成点においてキャンセルされるが、これは反射されてFETに戻る。したがってその位相すなわちドレインから合成点までの電気長により通信効率は大きく影響される[4]。そこでこの電気長を決定するため図5.6の簡単なモデルを用いて効果を見積もる。

2倍波の出力電力 $P_{out}(2\omega_0)$ はドレイン電流の2倍波成分の振幅 $|I_d(2\omega_0)|$ の二乗に比例すると考えられる。さらに図5.7(a)のような単純化した g_m モデルを考え

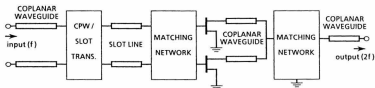
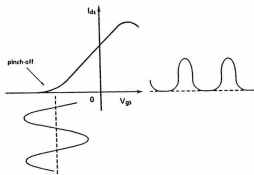
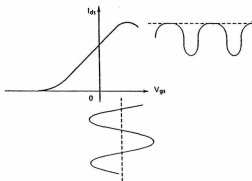


図5.4 ユニプレーナ型の周波数通倍回路の構成

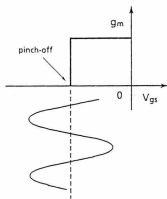


(a) ピンチオフ電圧付近での動作

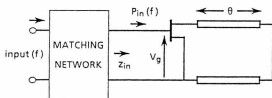


(b) ビルトイン電圧付近での動作

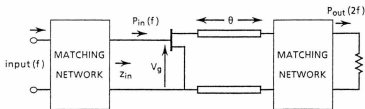
図5.5 周波数通倍器の動作モード



(a) 単純化したgmモデル



(b) 基本波に対する等価回路



(c) 第2高調波に対する等価回路

図5.6 負荷条件検討のための回路モデル

ると $|I_d(2\omega_0)|$ はドレイン電流の基本波成分 $|I_d(\omega_0)|$ に比例する。したがって相対通信利得 G_c は、

$$G_c = \frac{|I_d(\omega_0)|^2}{P_{in}(\omega_0)} = \frac{g_m^2 \cdot |V_g(\omega_0)|^2}{4P_{in}(\omega_0)} = \frac{g_m^2}{4} \cdot \frac{|Z_{in}|^2}{R_{in}} \quad (5.3)$$

$P_{in}(\omega_0)$: 入力電力

$V_g(\omega_0)$: ゲート電圧

Z_{in} : 入力インピーダンス

R_{in} : Z_{in} の実部

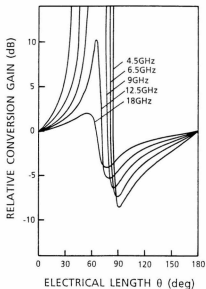
と書ける。この式から、図5.6(b)の回路の入力インピーダンスを計算することによりドレインから合成点までの電気長 θ の影響を概算することができる。図5.7(a),(b)に計算結果を示す。計算に用いたFETパラメータは以下の通りである。(ゲート幅 $200\mu\text{m}$ の場合)

$$g_m = 20 \text{ (mS)}, C_{gs} = 0.24 \text{ (pF)}, C_{dg} = 0.04 \text{ (pF)}, C_{ds} = 0.10 \text{ (pF)},$$

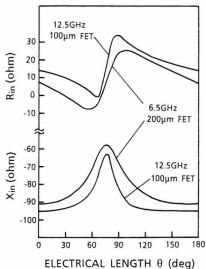
$$g_d = 5.5 \text{ (mS)}, R_g = 4.1 \text{ (}\Omega\text{)}, R_s = 4.2 \text{ (}\Omega\text{)}, R_d = 9.3 \text{ (}\Omega\text{)}$$

この結果より、 θ が0から増大するにつれて入力インピーダンスが低下し通信効率が向上することがわかる。しかしこれに伴い 50Ω に対する整合が困難になり、周波数帯域が狭くなるという結果を招く。そこでここでは広帯域動作と回路面積の小型化を重視して θ は小さい値を選んだ。

整合回路の設計、および全体の回路特性の把握のためには非線形シミュレーションを行う必要がある。ここではこのために、時間領域で各接点の電圧波形を計算する汎用の非線形回路シミュレータ、SPICEを使用した。それにはまず使用するFETをSPICE用にモデル化しておかねばならない。FETモデルとしてはGaAsFET用に導入されたチャネル厚変調パラメータ γ を含むもの[8]を用いた。図5.8の等価回路に対し非線形電流源および非線形容量を次式で記述する。



(a) 相对変換利得



(b) 入力インピーダンス

図5.7 ドレインから合成点までの電気長に対する変化

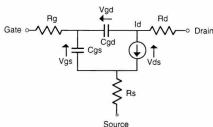


図5.8 SPICE用等価回路

$$V_{th} = V_{to} - \gamma \sqrt{V_{ds}} \quad (5.4)$$

$$I_d = \beta (V_{gs} - V_{th})^2 (1 + \lambda V_{ds}) \quad (0 < V_{gs} - V_{th} < V_{ds}) \quad (5.5a)$$

$$I_d = \beta V_{ds} \{ 2(V_{gs} - V_{th}) - V_{ds} \} (1 + \lambda V_{ds}) \quad (0 < V_{ds} < V_{gs} - V_{th}) \quad (5.5b)$$

$$C_{gs} = C_{gs0} + \frac{l_g \cdot W_g}{2\sqrt{2}} \sqrt{\frac{q \cdot N_{dc} \cdot \epsilon}{V_{bi} - V_{gs}}} \quad (V_{gs} \geq V_{th}) \quad (5.6a)$$

$$C_{gs} = C_{gs0} \quad (V_{gs} < V_{th}) \quad (5.6b)$$

$$C_{gd} = C_{gd0} + \frac{l_g \cdot W_g}{2\sqrt{2}} \sqrt{\frac{q \cdot N_{dc} \cdot \epsilon}{V_{bi} - V_{gd}}} \quad (V_{gd} \geq V_{th}) \quad (5.7a)$$

$$C_{gd} = C_{gd0} \quad (V_{gd} < V_{th}) \quad (5.7b)$$

ここに V_{to} 、 β 、 λ 、 γ : FETの静特性を表現するための定数
 V_{bi} : ビルトイン電圧
 l_g : ゲート長
 W_g : ゲート幅

直流モデルについては動作点近傍を重視して合わせ込んだ。図5.9にゲート幅 $200\mu\text{m}$ のFETの実測値と得られたモデルおよびモデルパラメータを示す。容量モデルについては、第4章に述べた小信号のSパラメータに対する等価回路パラメータの合わせ込みを複数のゲート・ソース・バイアスについてそれぞれ実行し、その結果得られるバイアス電圧対容量のカーブにSPICEの容量モデルを合わせ込むことにより非線形モデルを得た。

入力側の整合回路を設計するためには、ドレインが電気長 θ の線路を介して短絡されたFETの、ピンチオフ近傍の動作点における大信号インピーダンスを知る必要がある。これを求める過程でSPICEを使用した。設計手順は以下の通りである。

- ① 信号を入力したFETのゲート電流波形およびゲート・ソース間電圧波形を過渡解析により求める。
- ② 定常状態に達した波形をフーリエ解析し、電圧・電流の基本波成分の振幅および位相を求める。
- ③ これらから基本波に対する大信号入力インピーダンスを計算する。
- ④ 求めたインピーダンスに対する整合回路を線形周波数領域シミュレータ(Touchstone等)を用いて設計する。

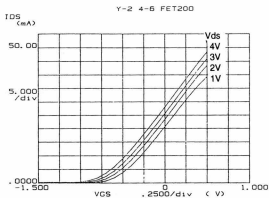
また出力側の整合回路については2倍波に対する小信号インピーダンスをもとに概略設計を行い、回路全体の時間領域シミュレーションを通じて最適化した。

入力側の整合回路は回路の小型化のためスパイラル・インダクタとMIMキャパシタにより構成し、入力スロット線路端と2つのFETゲートをスパイラル・インダクタで接続する構造とした。出力側整合回路においても20GHz以下の部分にはスパイラル・インダクタを用い、コプレーナ線路の不連続部ではエアブリッジを用いて複数の接地導体を接続し互いに等電位になるようにした。またFETのゲート・バイアスはデカップリング用の高抵抗を介して印加する構成とした。

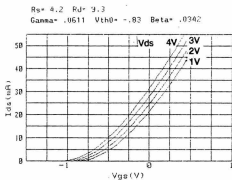
入力側に用いるコプレーナ線路/スロット線路変換回路は図3.5(b)の構造のものを用了。図5.10に長さ $500\mu\text{m}$ のスロット線路を2つの変換回路ではさんだ回路の測定結果を示す。15GHz以下では反射損失が25dB以上とれており、通信器への適用に対して十分な特性である。

5.3.3 試作周波数通信器の特性

前節までに述べた構成法、設計法に基づき、出力周波数24~26GHzの周波数2通



測定値



SPICEモデル

図5.9 FETの直流モデル

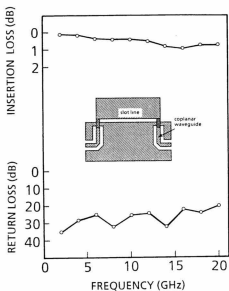


図5.10 コプレーナ/スロット変換回路の特性

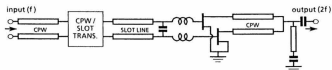


図5.11 周波数倍倍器の回路図

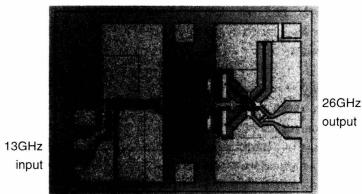


図 5.12 26GHz 帯周波数通倍器のチップ写真
チップ寸法：1.66 mm × 1.13 mm

倍器をadvanced-SAINTプロセス[9]により設計・試作した[10]。試作した回路の構成図を図5.11に示す。FETは $100\mu\text{m}$ のものを2つ使用した。図5.12は試作した通倍器のチップ写真である。入力側の整合回路はスパイラルインダクタとキャパシタにより構成し、出力側の26GHz 整合回路は75 Ω コプレーナ線路とキャパシタにより構成した。チップ寸法は $0.9\times 1.3\text{mm}^2$ である。

図5.13に変換損失および基本波抑圧量の周波数特性を示す。10dBm入力時には23.7~26.5GHzの広い周波数範囲にわたり変換損失4dB以下であり、帯域内損失偏差は1dB以内である。また、5dBm入力時には24.5GHzにおいて最小変換損失0.7dBの特性が得られている。基本波は広い帯域で30dB以上抑圧されている。この広帯域にわたる基本波抑圧特性はユニプレーナ構造のバランス型構成のもつ利点の一つである。

図5.14に出力スペクトラムを示す。横軸は周波数で10GHzから26.5GHzまで掃引しており、該当する周波数成分の電力レベルが縦軸に表示されている。最もレベルの高いものが25GHzの通信出力であり、抑圧された基本波成分以外のスプリアスは見られない。図5.15は中心周波数における入出力特性であり、ゲートバイアスを浅くすると小さな入力電力に対する通信効率が悪化されることがわかる。図5.16は帯域の端部における入出力特性である。中心周波数の場合より整合特性が劣化しているため、図5.13と比べ通信効率のよい入力レベルが大きい方へシフトしている。図5.13において入力電力が大きい方が広帯域であることもこれから説明できる。なお消費電力は10dBm入力時、中心周波数において45mWである。

これと同様な構成により、出力周波数12~13GHzの周波数2通倍器を設計・試作した。図5.17は試作した通倍器のチップ写真である。整合回路はすべてスパイラルインダクタとキャパシタにより構成した。チップ寸法は $1.0\text{mm}\times 1.5\text{mm}$ である。

図5.18に変換損失および基本波抑圧量の周波数特性を示す。10dBm入力時には11.7~13.3GHzの周波数範囲において変換損失2dB以下である。また、5dBm入力時には11.8GHzにおいて最大変換利得2.9dBが得られた。基本波抑圧量は最小17dBである。図5.19は変換利得の入力レベル依存性である。消費電力は10dBm入力時、中心周波数において75mWであった。

以上述べた13GHz通倍器と26GHz通倍器を2段直結し、2チップにより4通倍モジュールを構成した。モジュールは2つの通倍器チップの前後に合計約8mmの50 Ω 線路を接続しさらに同軸コネクタを接続した構造である。図5.20にモジュールとし

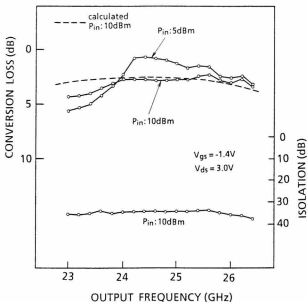


図5.13 26GHz周波数通信器の周波数特性

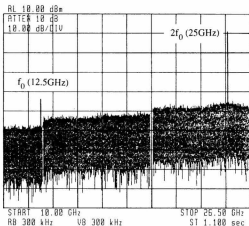


図5.14 26GHz周波数通信器の出力スペクトラム

横軸：周波数 (10 ~ 26.5 GHz)

縦軸：電力レベル (10dB/div)

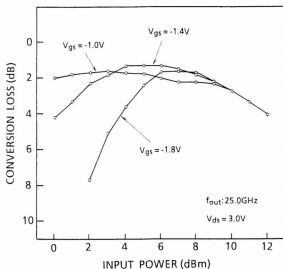


図5.15 26GHz周波数通倍器の入力レベル依存性(中心周波数)

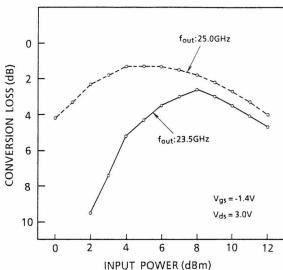


図5.16 26GHz周波数通倍器の入力レベル依存性(帯域端部)

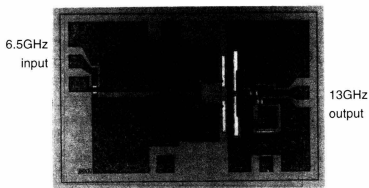


図 5.17 13GHz 帯周波数通倍器のチップ写真
チップ寸法：1.66 mm × 1.13 mm

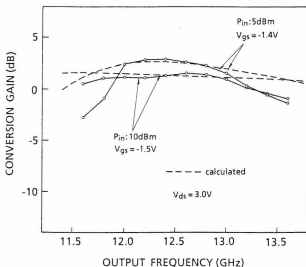


図5.18 13GHz周波数通倍器の周波数特性

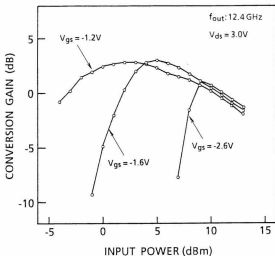


図5.19 13GHz周波数倍器の入力レベル依存性

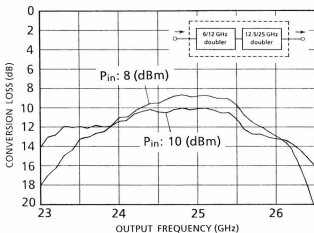


図5.20 26GHz 4乗倍モジュールの周波数特性

ての変換損失の測定結果を示す。6GHz帯入力電力に対する変換損失は、10dBm入力時、中心周波数において約10dBであり、これは測定用線路および治具の損失を含んでいる。

5.4 アップコンバータ

5.4.1 FETアップコンバータの基本構成

中間周波数(IF)信号を無線周波数(RF)信号に変換するアップコンバータ（送信ミキサ）は、IF帯で変調を行う無線装置送信部に必須のコンポーネントである。これにはダウコンバータ（受信ミキサ）と同様なダイオードミキサが古くから用いられている他、GaAsFETを用いて損失を低減する試みも近年盛んに行われている[11][12]。またMMIC(モノリシックマイクロ集積回路)においては、先に述べたようにFETを用いることによりIF増幅器等の他の回路と同一のプロセスで製造できる利点がある。

アップコンバータの機能は、変調されたIF帯の信号（周波数： ω_i ）を局発電力（周波数： ω_l ）とミキシングし送信信号（周波数： $\omega_r = \omega_l + \omega_i$ ）に変換することである。このためIF信号とLO電力をダイオード、FET等の非線形デバイスに入力し発生する周波数成分のうち ω_r を取り出す。この関係を図5.21に示す。不要な周波数成分のうち特に局発周波数成分は所要波に近接しており抑圧が重要であるとともに電力レベルも高いのでその処理の仕方により変換損失が大きく左右される。

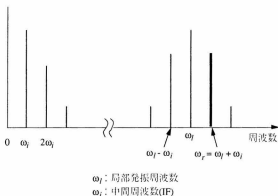
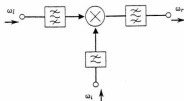
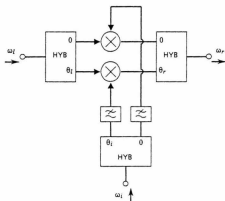


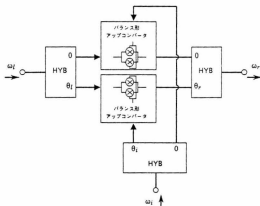
図5.21 ミキサにおいて発生する周波数成分



(a) シングルエンド型



(b) バランス型



(c) イメージリジェクション型またはダブルバランス型

図5.22 アップコンバータの回路構成

表5.1 各種アップコンバータにおける分配・合成位相

		バランス型			イメージ リジェクション型		ダブルバランス型
出力に おける 位相差	ω_0	$\theta_i + \theta_r$					
	$\omega_0 - \omega_i$	$\theta_j - \theta_i + \theta_r$					
	ω_0	$\theta_i + \theta_r$			———		
	$\omega_0 + \omega_i$	$\theta_i + \theta_j + \theta_r$					
希望波の同相合成条件		$\theta_i + \theta_j + \theta_r = 2n\pi$					
不要波キャンセルの条件		$\theta_i + \theta_r = (2m+1)\pi$			$\theta_j - \theta_i + \theta_r = (2m+1)\pi$		$\theta_i + \theta_r = (2m+1)\pi$ $\theta_j + \theta_i = (2l+1)\pi$
条件を満たす 分配合成位相	θ_i	π			$\mp \pi/2$		0
	θ_j	π	0	$\pi/2$	$\pm \pi/2$	0	π
	θ_r	0	π	$\pi/2$	0	$\pm \pi/2$	π

図5.22にアップコンバータの代表的な回路構成例、表5.1にこれらの各種構成における分配、合成の位相関係を示す。

このうち図5.22(a)はフィルタを用いて不要波を処理するシングルエンド形の回路である。この構成はかつて導波管回路においてよくみられたが、MIC、MMICにおいてはコンパクトで特性のよいフィルタが得られないため用い難い。またIF周波数が低く不要波が非常に近接した場合や送信周波数を変化させる必要がある場合には適用できない。

図5.22(b)は2つのミキサを並べ局発電力を位相的にキャンセルするバランス形の構成である。ここではハイブリッド回路等によりIF信号、局発電力をそれぞれ θ_i 、 θ_j の位相差をもたせて分配し、それぞれ単位ミキサに入力する。一方の単位ミキサからは、

$$\omega_i t, \quad \omega_i t, \quad \omega_r t, \quad (\omega_i - \omega_i) t$$

の位相角をもつ周波数成分が現れ、いま一方の単位ミキサからは、

$$\omega_i t + \theta_i, \omega_l t + \theta_l, \omega_r t + \theta_l + \theta_i, (\omega_l - \omega_i) t + \theta_l - \theta_i$$

等の成分が現れる。したがって所望の周波数成分 ω_r を同相で合成して取り出すためには

$$\theta_l + \theta_i + \theta_r = 2n\pi \quad (5.8)$$

なる関係を満たすように合成回路の位相差 θ_r を選ぶ必要がある。また局発成分をキャンセルするためには

$$\theta_l + \theta_r = (2m+1)\pi \quad (5.9)$$

でなければならない。これらの条件をみたすものとして表5.1に示すように局発電力を互いに逆相で入力するもの ($\theta_l = \pi, \theta_r = 0$)、出力側で逆相合成するもの ($\theta_l = 0, \theta_r = \pi$)、入出力にそれぞれ 90° ハイブリッド回路を配するもの ($\theta_l = \pi/2, \theta_r = \pi/2$) がある。また、いずれにおいてもIF信号は互いに逆相で加える必要がある。このようにバランス形アップコンバータはLOポートとRFポートのアイソレーションをとったものである。また、出力には希望周波数成分 ω_r とともにイメージ周波数($\omega_l - \omega_i$)の成分が現れる。

次に図5.22(c) はバランス型のアップコンバータをさらに2つ用いるイメージリジェクション型あるいはダブルバランス型の構成を示したものである。これらはブロック構成は同一であるがその目的の違いにより分配・合成の位相関係が異なる。イメージリジェクション型アップコンバータはバランス型回路によるLO成分抑圧に加えイメージ周波数成分をも抑圧するものである。したがって表5.1のようにイメージ周波数成分をキャンセルするように分配・合成の位相を選ぶ。この形式はフィルタを用いずに主要な不要波を抑圧できる利点があり、出力増幅器の一部とともに集積化したい場合等、フィルタの導入を避けたい場合に有効である。ただし回路規模は相当大きくなる。また使用するバランス形アップコンバータのLO漏洩が大きい場合には意義が少ない。

またダブルバランス型アップコンバータはIFポートとRFポート、LOポートのアイ

ソレーションがとれるようにしたものであり図5.19(b)の低域通過フィルタも不要になる。これは変調ビットレートが極めて高いとき等、IFとLOあるいはRFの周波数が近い場合あるいはオーバーラップしているような場合に適用される。しかし通常の無線システムにおいてはIF周波数は十分低く選ばれておりLO、RFと簡単に分離できるので用いられることは少ない。

以下では、バランス型のアップコンバータを取り上げ、これをコンパクトに集積するための構成法と回路設計法について述べる[13][14]。

5.4.2 FETアップコンバータの動作

FETを用いたMMICアップコンバータは報告例が少なくこれまでに二三の例が散見されるのみである。これは主に、FETアップコンバータの動作が大信号である上、局発発振器(LO)電力の処理等設計上難しい点があり、かつこれに対して有効なシミュレーション・ソフトウェアがなくモノリシックIC化が困難視されていたためと思われる。ここでは実験的な検討とできるだけ簡単なモデルを用いた計算によりその動作を考察する。

ここで採用する回路構成はLO電力とIF信号をともにFETのゲートより入力し、ドレインより所望の周波数成分を取り出すものである。これは5.2節で述べたように、入力信号およびLO電力に対する利得を得、かつゲート・ドレイン間のアイソレーションを利用して入出力を分離するためである。基本的な動作を調べるために、図5.23の回路をアルミナセラミック基板を用いたハイブリッドMICとして製作し20GHz帯で実験を行なった。用いたFETはピンチオフ電圧が約5Vの市販の高出力用ディスクリットFETであり、これをパッケージに封入しないベア・チップの状態で使用した。整合回路およびバイアス回路などをマイクロストリップ線路で作成し込んだセラミック基板とこのFETをともに金スズ合金で金属マウントにロウ付けし、さらにLO入力端子および出力端子にマイクロストリップ/導波管変換器を接続して導波管系で測定を行なった。

図5.24にバイアス条件に対する依存性を示す。ゲート・ソース間バイアス V_{gs} に対し、出力に現われるLO周波数成分および所望の上側帯波成分のレベルをプロットしている。所望波のレベルはピンチオフ電圧である-5V付近で最大となっている。これはゲート電圧対ドレイン電流特性が折れ曲がるピンチオフ電圧付近で入力波形の半分がクリップされ2次の項が最も大きくなるためである。またLO周波数成分は入力

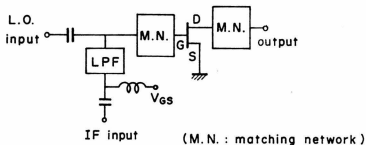


図5.23 実験用回路の構成

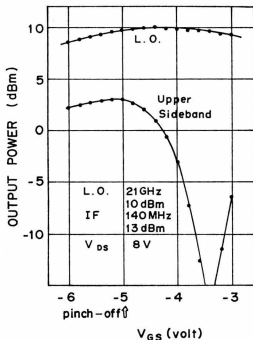


図5.24 実験用回路のゲートバイアス依存性

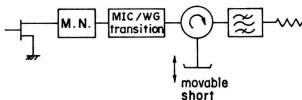
レベルと同等の高いレベルで出力されている。

この実験ではFETは入力側ではLOに対して、また出力側ではLOと側帯波の双方に対してほぼ整合のとれた状態にある。これに対し、この高いレベルのLO周波数成分に対する出力側の終端条件を最適化する、すなわち適当な位相でFET側へ戻すことにより特性が大きく変化することが予想される。そのような現象はダイオード回路においてはよく知られているがFETにおいても周波数通信器や高効率電力増幅器等の大信号回路について既に報告がある[4]。そこで図5.25(a)のような測定系を用いて実験を行った。先に述べた回路の出力にサーキュレータを介してバンドパスフィルタを接続し、上側帯波のみを負荷へ送るとともにLO周波数成分についてはこのフィルタで反射しサーキュレータおよび短絡板を介してFETのドレインへ戻す。ここで短絡板の位置をスライドさせることによりLO周波数成分に対する終端条件のみを変えることができる。

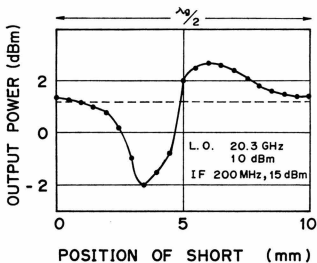
図5.25(b)に測定結果を示す。横軸に短絡板の位置、縦軸に上側帯波の出力電力がプロットしてあり、短絡板の10mmの移動は管内波長の1/2に相当するため上側帯波に対する負荷はスミスチャート上の外周を一周していることになる。これによれば反射位相の違いによって出力電力が5dB近く変動しており、図中に破線で表示した整合負荷を与えたときの出力レベルと比べても変換損失が改善できることがわかる。この実験では短絡板からFETまでの距離および損失が大きく定量的に最適負荷条件および改善可能量を見積ることは困難であるが、LO周波数成分に対する終端条件を最適化することでアップコンバータの変換損失を低減できることがわかる。

5.4.3 負荷条件の考察

次に、簡単な動作モデルを用いて前節の実験結果の説明を試みる。IF周波数においてはFETの入力インピーダンスは非常に高く、IF入力が大い状態ではIF信号のゲート・ソース間の電圧振幅は極めて大きいと考えられる。そこで、このような状態でのFETの動作を図5.26(a)のような簡単なモデルで近似する。すなわち、バイアス電圧をピンチオフ電圧付近に設定しているので入力IF信号の正の半サイクルではゲート電圧は浅い方へ大きく振り込むためFETの相互コンダクタンス g_m はその飽和値 g_{ms} をとり、負の半サイクルでは完全にピンチオフしており $g_{ms}=0$ であると考えられる。このとき相互コンダクタンス $g_m(t)$ は次のようにFourier展開できる。

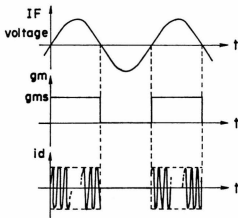


(a) 実験回路の構成

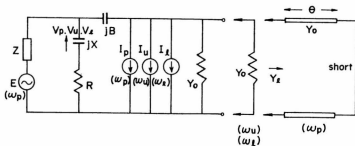


(b) 測定結果

図5.25 局部発振電力を反射する効果



(a) 単純化した動作モデル



(b) 等価回路

図5.26 動作解析のためのモデル

$$g_m(t) = g_{ms} \left(\frac{1}{2} + \frac{2}{\pi} \sin \omega_1 t + \dots \right) \quad (5.10)$$

ここに ω_1 はIF周波数である。さらに周波数 ω_1 、振幅 a のLO入力電圧が加わったとき、ドレイン電流は

$$\begin{aligned} i_d(t) &= g_m(t) \cdot a \sin \omega_1 t \\ &= g_{ms} \cdot a \left[\frac{1}{2} \sin \omega_1 t - \frac{1}{\pi} \{ \cos(\omega_1 + \omega_1)t - \cos(\omega_1 - \omega_1)t + \dots \} \right] \end{aligned} \quad (5.11)$$

となる。これは信号出力($\omega_1 + \omega_1$ の成分)が、このFETを増幅器として使った場合の最大出力に比べ $1/\pi$ だけ(-9.9dB)小さいことを示している。

前節において、LO成分に対する終端条件を調整することにより変換損失を低減できることが実験的に明らかになった。この効果を生む要因として

- ①ドレイン電圧対ドレイン電流特性の非線形性、すなわちドレインコンダクタンスの非線形性、
- ②FET内部のゲート・ドレイン間容量 C_{gd} やソース・インダクタンス等による帰還効果、

等が考えられる。しかし、FETの電圧電流特性から明らかなようにドレインコンダクタンスの非線形性は小さく前者の影響は少ないと考えられる。一方、ゲート・ドレイン間のインピーダンス $1/\omega C_{gd}$ はK帯においては100Ω以下に下がっており、かなりの帰還を生じると予想される。

そこで、ここでは図5.26(b)のような簡単なモデルを用いてこのFET内部の帰還の効果を見積る。図で jX と jB はそれぞれFETのゲート・ソース容量、ゲート・ドレイン容量を表している。 jX に印加される電圧はLO周波数の成分のほかに上側帯波 ω_1 ($= \omega_1 + \omega_s$)、下側帯波 ω_1 ($= \omega_1 - \omega_s$)等の成分を含んでいる。(5.11)式において高次の項を無視してドレイン電流 i_d 、ゲート電圧 v_g を次のように表す。

$$i_d = \text{Re} \{ I_0 e^{j\omega t} + I_1 e^{j\omega_1 t} + I_2 e^{j\omega_2 t} \} \quad (5.12)$$

$$v_g = \text{Re} \{ V_0 e^{j\omega t} + V_1 e^{j\omega_1 t} + V_2 e^{j\omega_2 t} \} \quad (5.13)$$

ここで添字 l, r, i はそれぞれ周波数 ω_l , ω_r , ω_i の成分であることを表している。

また、

I_l , I_r , I_i は(5.11)式の関係から V_l , V_r , V_i によって次のように表すことができる。

$$\begin{bmatrix} I_l \\ I_r \\ I_i \end{bmatrix} = g_{ms} \begin{bmatrix} \frac{1}{2} & \frac{j}{\pi} & -\frac{j}{\pi} \\ -\frac{j}{\pi} & \frac{1}{2} & 0 \\ \frac{j}{\pi} & 0 & \frac{1}{2} \end{bmatrix} \begin{bmatrix} V_l \\ V_r \\ V_i \end{bmatrix} \quad (5.14)$$

負荷回路は図のように周波数 ω_l の成分に対しては Y_l で表されるリアクタンスであり、その他の周波数成分に対しては Y_0 であるとする。また jX , jB は ω_r , ω_i が ω_l に近い場合その周波数依存性を無視できる。このとき電流源 I_l , I_r , I_i および LO 電圧源 E によって jX に印加される電圧 V_l , V_r , V_i は次のように書ける。

$$\begin{bmatrix} V_l \\ V_r \\ V_i \end{bmatrix} = \begin{bmatrix} A_2 & 0 & 0 & A_3 \\ 0 & A_1 & 0 & 0 \\ 0 & 0 & A_1 & 0 \end{bmatrix} \begin{bmatrix} I_l \\ I_r \\ I_i \\ E \end{bmatrix} \quad (5.15)$$

ここに

$$A_1 = \frac{XB}{2Y_0 + jB + j2BY_0(R - jX) + \frac{j}{Z}(2Y_0 + jB)(R + jX)} \quad (5.16a)$$

$$A_2 = \frac{XB}{Y_0 + Y_l + jB + jB(Y_0 + Y_l)(R + jX) + \frac{j}{Z}(Y_0 + Y_l + jB)(R + jX)} \quad (5.16b)$$

$$A_3 = \frac{jX(Y_0 + Y_l + jB)}{Z \left\{ Y_0 + Y_l + jB(Y_0 + Y_l)(R + jX) + \frac{j}{Z}(Y_0 + Y_l + jB)(R + jX) \right\}} \quad (5.16c)$$

$$Y_l = -jY_0 \cot \theta \quad (5.16d)$$

である。(5.14)式と(5.15)式より V_l , V_r , V_i を消去して次式を得る。

$$\begin{aligned}
\begin{bmatrix} I_i \\ I_r \\ I_i \end{bmatrix} &= g_{ms} \begin{bmatrix} \frac{1}{2} & \frac{j}{\pi} & -\frac{j}{\pi} \\ -\frac{j}{\pi} & \frac{1}{2} & 0 \\ \frac{j}{\pi} & 0 & \frac{1}{2} \end{bmatrix} \begin{bmatrix} A_2 & 0 & 0 & A_3 \\ 0 & A_1 & 0 & 0 \\ 0 & 0 & A_1 & 0 \end{bmatrix} \begin{bmatrix} I_i \\ I_r \\ I_i \\ E \end{bmatrix} \\
&= g_{ms} \begin{bmatrix} \frac{1}{2}A_2 & \frac{j}{\pi}A_1 & -\frac{j}{\pi}A_1 \\ -\frac{j}{\pi}A_2 & \frac{1}{2}A_1 & 0 \\ \frac{j}{\pi}A_2 & 0 & \frac{1}{2}A_1 \end{bmatrix} \begin{bmatrix} I_i \\ I_r \\ I_i \end{bmatrix} + g_{ms}A_3E \begin{bmatrix} \frac{1}{2} \\ -\frac{j}{\pi} \\ \frac{j}{\pi} \end{bmatrix} \quad (5.17)
\end{aligned}$$

したがって、ドレイン電流の上側帯波成分 I_r は次の方程式から求めることができる。

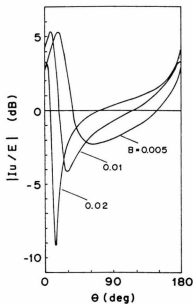
$$\begin{bmatrix} \frac{1}{g_{ms}} - \frac{1}{2}A_2 & -\frac{j}{\pi}A_1 & \frac{j}{\pi}A_1 \\ \frac{j}{\pi}A_2 & \frac{1}{g_{ms}} - \frac{1}{2}A_1 & 0 \\ -\frac{j}{\pi}A_2 & 0 & \frac{1}{g_{ms}} - \frac{1}{2}A_1 \end{bmatrix} \begin{bmatrix} I_i \\ I_r \\ I_i \end{bmatrix} = A_3E \begin{bmatrix} \frac{1}{2} \\ -\frac{j}{\pi} \\ \frac{j}{\pi} \end{bmatrix} \quad (5.18)$$

計算結果を図5.27(a)に示す。図にはLO成分も Y_0 で終端したときを基準として(0dB)、変換損失の相対値をLO終端線路の電気長 θ に対してプロットしてある。計算で用いたパラメータは

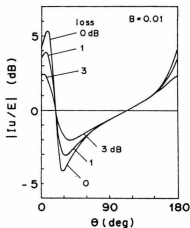
$$Y_0 = 0.05(\text{mS}), R = 1(\Omega), X = -10(\Omega), Z = R - jX$$

$$g_{ms} = 0.05 \cdot e^{-j0.2\pi}$$

である。この結果から、LO成分短絡からやや誘導性に転じる付近で変換損失は大きく変化し反射位相をうまく調整することによって数dB改善できる可能性があることがわかる。また図5.27(b)にはLO成分の反射回路に損失がある場合の計算結果を示す。図5.25の実験においては整合回路やボンディングワイヤ、マイクロストリップ／導波管変換器等による位相回転があるため計算結果と直接比較するのは困難であ



(a) 反射位相に対する変化



(b) 反射回路に損失がある場合

図5.27 局部発振電力を反射する効果の計算結果

るが、ゲート・ドレイン容量によるFET内部の帰還が、実験において観測された変換損失改善効果の主因であることが明らかになった。

5.4.4 ハイブリッドMICによるバランス型アップコンバータ

前節までの検討により、信号出力に対しては整合をとったまま局発成分のみを適当な位相で反射させることによって変換損失が大きく変化することが明らかになった。しかし、マイクロ波IC上で近接した複数の周波数成分に対し別々の負荷条件を与える図5.25の測定系のような回路を作ることは困難である。そこで、バランス型の回路構成により、同等の回路機能を実現することを考える。

通常バランス型の構成は局発リークを抑圧するために用いられ、局発成分は抵抗で吸収することが多い。これに対し、ここでは局発成分をFETに戻し変換損失の低減に利用するものである。図5.28に回路構成を示す。逆相で加えられた局発信号、IF信号がミキシングされることにより、出力側には信号出力は同相で、局発周波数成分は逆相で現われる。したがって出力側で同相接続することにより信号出力が合成される。同時に局発成分に対しては合成点で等価的に短絡となりFETのドレイン側へ反射される。したがって合成点の位置を選ぶことにより所要の負荷条件を得ることができる。

この構成によるアップコンバータをアルミナ基板上で試作して実験を行った。回路パターンを図5.29に示す。局発電力に対する逆相分配回路としては基板の裏面に設けたスロット線路による分岐回路を用いた。また、合成回路としては信号出力に影響を与えることなく局発成分の反射位相を調整できるよう、結合ストリップ線路を用いた回路を考案した。この結合ストリップ線路は偶モードに対する特性インピーダンスが50Ωであり任意の位置で線路間を金リボンで接続できる構造である。2つのFETから互いに逆相で現われる局発成分は結合線路を奇モードで伝搬し、金リボンの位置で反射される。したがってこの金リボンの位置を変えることによって反射位相を調整することができる。一方、信号出力は同相(偶モード)で結合線路を伝搬するため金リボンの影響を受けない。

図5.30に金リボンの位置を変えたときの変換出力の変化を示す。変化の傾向はこれまでの検討と類似しているが変化量が極めて大きい。次にこの金リボンを最適点においたときの入出力特性を図5.31に示す。局発成分の終端を最適化したバランス型構成としたことにより5.4.2節のシングルエンド構成に比べ大幅に変換損失が低減

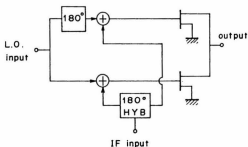


図5.28 バランス型アップコンバータの構成

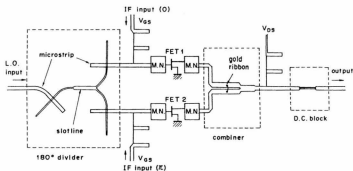


図5.29 バランス型アップコンバータの回路パターン

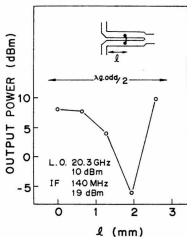


図5.30 金リボンの位置に対する特性の変化

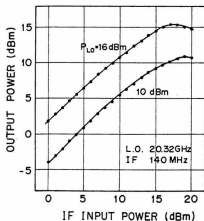


図5.31 バランス型アップコンバータの入出力特性

された。局発電力10dBmのときIF入力に対して飽和の状態でも出力10.9dBmを得ており、これは従来のダイオードアップコンバータと増幅器の組み合わせに匹敵する特性である。また局発周波数成分は希望波に比べ12dB以上低く抑えられた。

5.4.5 モノリシックバランス型アップコンバータの構成と特性

モノリシックMICの形でアップコンバータを集積する場合、前節のハイブリッドICの場合のように調整により最高の性能を得ようとするアプローチをとるのではなく、小さい面積でいかに必要な機能を再現性良く実現するかという点がより重要である。このため第3章で述べた小型化ラットレースを用いて回路面積を小さくするとともに、非線形シミュレーションに比べ回路モデルの精度が高く見通しの良い線形シミュレーションのみで設計する方法をとった。

設計・試作したアップコンバータの回路図を図5.32に示す。単位増幅器のゲートにIF入力端子を設け、これを180°ハイブリッド回路と同相分岐で接続した構成である。これによりドレインから出力されるLO成分を同相分岐部で反射する。ハイブリッド回路のアイソレーションポートも50Ω終端せず開放とし、パターンレイアウト上許される範囲で線路#1、#3の長さを最適化した。これによりオフの状態のFETで反射される電力を有効に利用し損失を低減できることになる。

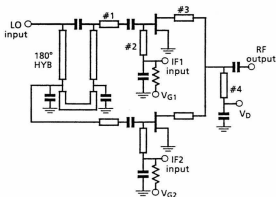
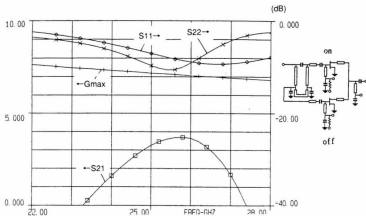
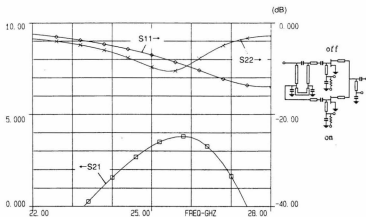


図5.32 モノリシックバランス型アップコンバータの構成



(a) 上側のFETがonで下側のFETがoffの場合



(b) 上側のFETがoffで下側のFETがonの場合

図5.33 小信号通過特性の計算値

(S21：利得、S11：入力反射係数、S22：出力反射係数、
Gmax：FETの最大利得)

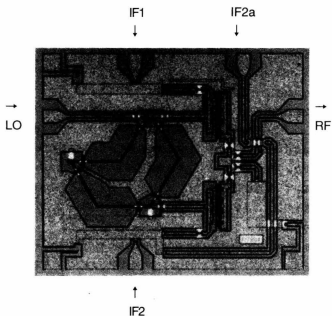


図 5.34 バランス型アップコンバータのチップ写真
チップ寸法：1.60 mm × 1.38 mm

設計にあたっては、互いに逆相のIF信号により2つのFETが交互にONの状態とOFFの状態を繰り返していると考え、それぞれの状態での回路の利得が最大かつ等振幅、逆位相となるように整合回路および回路定数を定めた。図5.33(a)(b)は一方のFETのみがONのときの通過特性の計算値である。

この回路をAdvanced-SAINTプロセスにより試作した。図5.34にチップ写真を示す。2つのFETのゲート幅は $200\mu\text{m}$ であり、チップ寸法は $1.4\text{mm} \times 1.2\text{mm}$ である。IF信号はIF1、IF2aの2つの端子にIF増幅器の差動出力から互いに逆相で印加される。またIF2bの端子はオンウェハ測定の場合に設けたものでありIF2aの端子とチップ上でコプレーナ線路により接続されている。このIF用コプレーナ線路やバイアス共通化のためのDC線路が高周波線路と交差する部分には、図5.35に示すような新たに考案した交差回路を適用した。これは、IFおよびDCが第1層メタルにより接地導体（第2層メタル）の下を通り、RF、LOの高周波信号はエアブリッジにより接地導体のうえを跨ぐものである。この交差回路は接地導体を介しているため導体間の干渉、結合が少ないうえエアブリッジによる高周波用導体は中空のマイクロストリップ線路を構成しているため所望の特性インピーダンスに設定できる。これにより伝送特性に影響を及ぼすことなく線路を交差させることが可能になった。図5.36にこの交差回路の特性を示す。

図5.37(a)(b)は2つのFETのいずれかをオン($V_{gs}=0\text{V}$)、もう一方をオフ($V_{gs}=-1.5\text{V}$)の状態にしたときの、LO入力端子から出力端子への通過特性である。これを2相位相変調器とみたときの2つの信号状態における振幅偏差および位相差を図5.38に示す。振幅偏差1dB以内、位相差 3° 以内の特性が得られている。また図5.39は2つのFETのゲート・バイアス(V_{G1} 、 V_{G2})を等しくしたときのLO入力端子からRF出力端子への通過特性である。いずれのバイアス状態においても良好なアイソレーション特性が得られている。図5.40はアップコンバータの、LO入力電力に対する変換損失およびLOリークの周波数特性、図5.41はIF対RFの入出力特性である。IFは1GHz帯 180° ハイブリッド回路を介して半分ずつ2つの端子から入力している。LO周波数25GHzにおいてLO電力9dBmに対して最大8.9dBmの出力が得られ、LO成分は20dB以上抑圧されている。このLO抑圧特性は図5.37の良好なバランス性に基づくものである。またLO電力9dBmのときIFに対して1.4dBの変換利得が得られている。

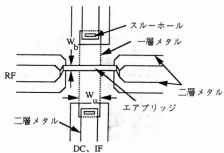


図5.35 交差回路の構造

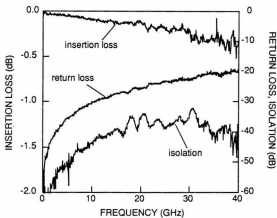
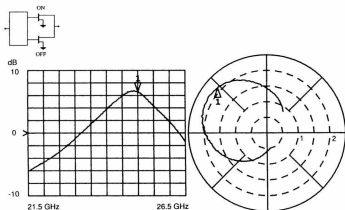
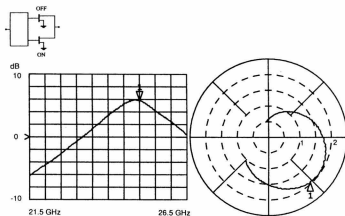


図5.36 交差回路の特性



(a) 上側のFETがonで下側のFETがoffの場合



(b) 上側のFETがoffで下側のFETがonの場合

図5.37 小信号通過特性(S_{21})の測定値

左側は直交座標表示(横軸：周波数、縦軸： $|S_{21}|$)、右側は極座標表示

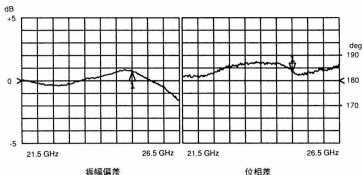


図5.38 二つのモード間のバランス性

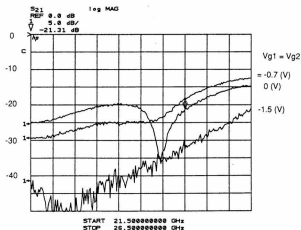


図5.39 アイソレーション特性

横軸：周波数(21.5～26.5GHz)、縦軸：通過振幅特性(dB)

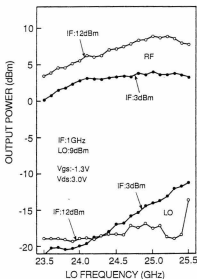


図5.40 バランス型アップコンバータの周波数特性

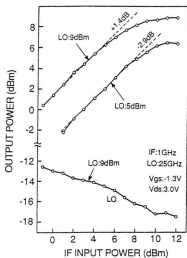


図5.41 バランス型アップコンバータの入出力特性

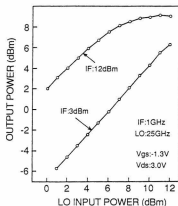


図5.42 バランス型アップコンバータの局部発振電力依存性

5.5 むすび

本章ではFETの非線形特性を用いる回路として周波数乗倍器とアップコンバータをとり上げ、ユニプレーナ型MMICの手法を用いた集積化技術について述べた。

周波数乗倍器についてはスロット線路を用いた新しい回路構成を提案するとともに、時間領域の回路シミュレーションを採用した回路設計法により二つの周波数帯の周波数乗倍器を設計・試作した。新しい回路構成により基本波トラップを不要にしたこと、整合回路に集中定数インダクタを用いたこと等により回路面積は従来の約1/4にでき、性能、大きさとも従来にない良好な結果を得た。

従来検討例の少ないアップコンバータについても、独自の手法により小型化したラットレース回路を用いて回路の小型化を図るとともに、線形計算のみによる簡易な設計法により見通しよく設計できることを示した。試作したアップコンバータは26GHzという高い周波数帯で極めて良好な性能を得た。

- [1] R. A. Pucel, D. Masse and R. Bera, "Performance of GaAs MESFET mixers at X band," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-24, pp. 351-360, 1976.
- [2] O. Kurita and K. Morita, "Microwave MESFET mixer," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-24, pp. 361-366, 1976.
- [3] A. Gopinath and B. Rankin, "Single-gate MESFET frequency doublers," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-30, pp. 869-875, June 1982.
- [4] C. Rausher, "High frequency doubler operation of GaAs field-effect transistors," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-31, pp. 462-473, June 1983.
- [5] P. Bura and R. Dikshit, "F. E. T. mixer with the drain L. O. injection," *Electron. Lett.*, vol. 12, no. 20, pp. 536-537, Sept. 1976.
- [6] 本幡, 大和田, 「MMIC化30GHz帯周波数倍倍器」, 昭61信学総合全大, p. 3-249.
- [7] T. Hirota, Y. Tarusawa and H. Ogawa, "Uniplanar MMIC hybrids-A proposed new MMIC structure," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-35, pp. 576-581, June, 1987.
- [8] 高田, 富樫, 広田, 「GaAs MESFET回路シミュレーションモデル」, 信学技報, SSD83-124, 1984.
- [9] T. Enoki, K. Yamasaki, K. Osafune and K. Ohwada, "0.3- μ m advanced SAINT FET's having asymmetric N⁺-layers for ultra high frequency GaAs MMIC's," *IEEE Trans. Electron Devices*, vol. ED-35, pp. 18-24, Jan. 1988.
- [10] T. Hirota and H. Ogawa, "Uniplanar monolithic frequency doublers," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-37, pp. 1249-1254, Aug. 1989.
- [11] P. Bura, "70-MHz to 6-GHz FET up-converter," *Electron. Lett.*, vol. 17, p. 437, 1981.
- [12] W. C. Tsai, S. F. Paik and B. S. Hewitt, "An X-band dual-gate FET up-converter," in *IEEE MTT-s 1979 Int. Microwave Symp. Dig.*, pp. 495-497.
- [13] T. Hirota and H. Ogawa, "A novel K-band balanced FET up-converter," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-32, pp. 679-683, July 1984.
- [14] T. Hirota and M. Muraguchi, "K-band frequency up-converters using reduced-size couplers and dividers," in *1991 IEEE GaAs IC Symp. Dig.*, pp. 53-56.

6.1 まえがき

無線通信に用いられる送受信装置において、キャリア周波数帯の処理を行なう高周波回路部は装置全体の大きさやコストを大きく左右する重要な部分である。これまでに述べたユニプレーナ型MMICの技術を送受信装置に適用することにより装置の経済化や小型化が可能となり、無線通信方式そのものに変革を与えることが期待される。

本章では、26GHz帯の周波数を用いる加入者無線方式[1]用の送受信機に用いることを想定して開発したMMIC送信モジュール、受信モジュールの構成と特性について述べる。さらに、ユニプレーナ型MMIC技術を集成して送信部を1チップに集積した超小型送信チップについて述べ、MMICの高集積化のための課題とその手法を論じる。

6.2 マルチチップ構成による1パッケージ化受信回路・送信回路

6.2.1 受信回路の構成

ヘテロダイン方式の受信高周波回路の機能は、アンテナから受けた微弱な高周波信号を増幅し、これを復調の処理がしやすい中間周波数帯の信号に変換することである。そのためには低雑音増幅器、周波数変換器(ダウンコンバータ)、局部発振器が必要である。ここでは26GHz帯の受信信号を1GHz帯の中間周波数(IF)に変換する受信モジュールの設計と試作を行った[2][3]。

図6.1にこの受信モジュールの構成を示す。局部発振周波数を変えることにより500MHzの周波数帯域のうちの任意の信号を受信し、かつ固定のフィルタによりイメージおよび局部発振周波数のものを阻止できるよう、中間周波数は1GHzと比較的高い周波数に選んでいる。

局部発振器は電圧制御発振器(VCO)と周波数乗倍器、増幅器から成る。局部発振器の周波数安定化のためには、誘電体共振器などのQの高い共振器を用いる方法と、水晶共振器等の安定度の高い発振器に同期させる方法とがある。ハイブリッドMICでは誘電体共振器をVCOに組み込む構成とすることが多かったが、MMIC局部発振器に用いるには形状が大きくまた外付け部品を組み込むことになるため高周波部全体をコンパクトにまとめることが困難となる。このため、ここでは分周器によ

りVCOの出力を水晶発振器の周波数まで分周して位相周波数比較器(PFC)により両者の位相および周波数を比較し、比較出力をVCOの制御入力に戻す、位相同期ループ(PLL)を用いた構成とした。

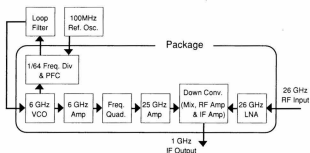


図6.1 受信回路の構成

これにより局部発振器の周波数安定度は水晶発振器と同一に保たれ、また分周器として可変分周器を用いると周波数を任意に変化させることができる[4]。分周器の動作周波数を考慮しここでは必要な局部発振周波数の1/4の周波数でVCOを動作させその出力を周波数通倍する。周波数通倍には第5章で述べた通倍器を2段使用し、受信ミキサに必要なレベルまで増幅するために第4章で述べたカスコード型増幅器を用いている。VCOはメアンダ状に配置したコプレーナ線路を共振器とした回路であり、周波数可変幅は600MHzである[5]。

周波数変換部には、受信ミキサと低雑音増幅器およびIF増幅器[5]を1チップ化したフロントエンドICを使用し、雑音特性の向上のためこれに低雑音増幅器[5]を追加している。受信ミキサ部[5]は、ソース接地FETのゲート側に受信信号を入力しドレイン側から局部発振器電力を供給するドレイン局発注入型の構成とした。

6.2.2 送信回路の構成

送信高周波回路の機能は、変調された中間周波数帯の信号を送信周波数に変換し(アップコンバート)、これを増幅して送信信号を得ることである。このために局部

発振器と周波数変換器、および電力増幅器が必要である。

図6.2に送信モジュールの構成を示す。局部発振器は受信モジュールで用いたものと同じ構成のものを用いる。周波数変換器には第5章で述べたバランス型アップコンバータを用いた。アップコンバータに必要な平衡入力信号は差動増幅器[5]により得ている。アップコンバータ出力は、外付けの誘電体共振器フィルタによりイメージ周波数成分と局部発振周波数のものを除去した後、電力増幅モジュールに供給される。電力増幅の前にフィルタを挿入するのは、不要波による電力増幅器の飽和を避けるためである。

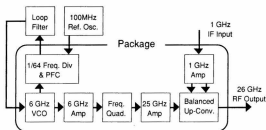


図6.2 送信回路の構成

6.2.3 送受信回路の特性

上に述べた受信回路と送信回路をそれぞれ1パッケージに実装した[3]。パッケージは各層ごとにメタライズされた多層セラミック構造[6]によるものであり、外形寸法は21mm×17mm×3mmである。図6.3と図6.4にパッケージ内部の写真を示す。パッケージ内部はメタライズされた壁で3つに仕切られており分周器とPFCは高周波部と別の部屋に収容して干渉を避けている。

このように1つのパッケージに複数のチップを実装した場合、1つでも不良のチップがあると全体が不良品になってしまい歩留りの大幅な低下を招く。このためこのようなマルチチップ実装は避けることが多い。しかしユニプレーナ型MMICにおいては前述したようにウェハ状態で高周波特性まで完全に把握できるため事前に不良



図 6.3 受信回路の外観
パッケージ寸法 (フランジ除く): 21 mm × 17 mm × 3 mm

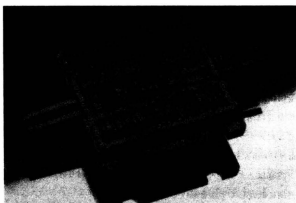


図 6.4 送信回路の外観
パッケージ寸法 (フランジ除く): 21 mm × 17 mm × 3 mm

チップを排除できる。このことと、各チップの寸法が小さく抑えられていることによって初めて1パッケージへの組み込みが可能になった。

図6.5に受信モジュールの特性を示す[3]。26GHz帯において雑音指数は7.5dB、変換利得25dBが得られている。図6.6は送信モジュールのIF信号入力電力対出力電力特性、図6.7は送信モジュールの出力スペクトラムである[3]。変換利得8dB、出力電力5dBmが得られている。局部発振周波数成分は、アップコンバータのバランス性によって30dB抑圧されている。

6.3 1チップ送信回路

6.3.1 高集積化の必要性と課題

前節で述べたような機能モジュールの1パッケージ化により、装置の大きさについても装置の経済性の面においても大きな進展が得られた。この方向をさらに推し進めるためにはMMICの集積度をさらに上げる努力が必要となる。高集積化することにより各チップの入出力ポートやバイアス端子、チップ切り出しのために設ける余白の部分を省略できるため、全体のチップ面積を20～30パーセント節減でき、その分低価格化が見込まれる。またマルチチップモジュールにおいては、MMICチップ自体のコストもさることながらチップのダイボンドやワイヤボンディング等のモジュール組立に関わるコストが全体のコストの半分近くを占める。このためMMICの集積度を上げることはMMICチップ自体のコスト、組立に関わるコストの両面からMMIC機能モジュールのコスト低減に寄与すると考えられる。

しかし、高集積化を効果あるものにするためには次のような課題を解決する必要がある。まず、チップが極端に大きくなるのを避けるため回路構成、回路エレメントの両面から小型化を一層進める必要がある。次に各機能回路をブロック化して一つのチップにまとめやすい構成とするとともに、高集積化に伴って必要となる線路交差や電源の集約の問題に対処しなければならない。また回路規模の増大によりチップ歩留りが低下することに留意する必要がある。

ここでは、局部発振器の構成の簡易化や小型回路エレメントの使用により、初めて1チップ化に成功した26GHz帯送信回路[7]についてその構成法と得られた諸特性について述べる。

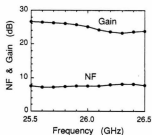


図6.5 受信回路の特性

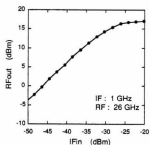


図6.6 送信機特性

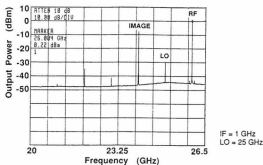


図6.7 送信回路の出力スペクトラム

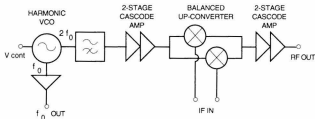


図6.8 1チップ送信回路のブロック図

6.3.2 1チップ送信回路の回路構成

送信回路を超小型1チップに集積するためには、使用する回路エレメントや回路コンポーネントを小さくするのみならず、送信回路の構成についても小型化に適したものとすることが必要である。図6.8に1チップ送信回路のブロック図を示す。このチップの機能は1GHz帯のIF信号を26GHz帯へ周波数変換することである。前節のマルチチップ送信回路において局部発振器が全体のかかなりの部分を占めているのに鑑み、ここでは発振周波数の高調波を取り出すハーモニックVCOを用いた局部発振器構成とすることにより周波数変換器を省略し構成を簡易化した。

増幅器については第4章で述べたカスコード型の増幅器を2段構成にしたものを用いた。このカスコード型の増幅器は利得／面積比が大きいため増幅ブロックの面積を小さく抑えることができる。この増幅器を局部発振器出力の増幅および周波数変換後の増幅の両方に使用している。

周波数変換器(アップコンバータ)にはマルチチップ送信回路の場合と同様、バランス型アップコンバータを用いたが、回路面積の一層の縮小のため局部発振器電力の逆相分配にはハイブリッド回路を用いず、インダクタとキャパシタにより構成した逆相分岐回路を使用した。

全体としては極力、集中定数インダクタあるいは高インピーダンスのコプレーナ線路により回路を構成し長いコプレーナ線路の使用を避けた。

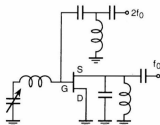


図6.9 ハーモニックVCOの構成

6.3.3 各回路ブロックの設計と特性

ハーモニックVCOの回路図を図6.9に示す。この回路はドレイン接地FETのゲート側にインダクタとバラクタから成る帰還回路を有する。これによりFETのゲート・ドレイン間に帰還ループができ、これとFET自身のゲート・ソース間容量とが12GHz帯で共振する。共振周波数はバラクタに印加する制御電圧により変化させることができる。このときソース側に容量性の負荷をおくと発振条件を満たす。そこでソース側にはバイアス用のインダクタとキャパシタから成る容量性の負荷回路を置き、小さなキャパシタを介してこの12GHz帯の発振出力の一部を取り出している。この12GHz帯の出力は第4章で述べた1段増幅器により増幅された後、水晶発振器と位相同期をとるために外部の分周器により分周される。局部発振器にはこの発振出力の第2高調波成分を利用する。そのためFETのゲートにインダクタとキャパシタから成るT型高域通過フィルタを設け高周波成分を取り出している。図6.10に制御電圧に対する発振周波数の変化を示す。約3GHzの帯域をカバーしている。

回路に用いるインダクタとしては発振器および基本波(12GHz)の増幅回路にはスパイラルインダクタを、第2高調波通過フィルタにはメアンダインダクタを使用している。この2種類のインダクタは、必要なインダクタンス値および使用する周波数帯により使い分けている。すなわち大きなインダクタンスが必要な箇所には面積あたりのインダクタンスが大きいスパイラルインダクタを用い、インダクタンス値が小さく周波数が高い箇所にはインダクタンス値の細かな制御が可能で高周波特性に優れたメアンダインダクタを使用している。

カスコード型の2段増幅器は同じものを局部発振出力の増幅とアップコンバータ出

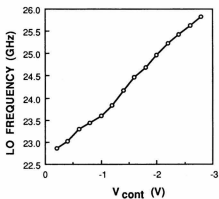


図6.10 ハーモニックVCOのチューニング特性

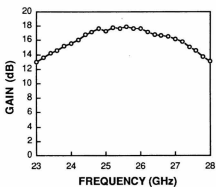


図6.11 2段カスコード増幅器の周波数特性

力の増幅の両方に使用している。初段にはゲート幅 $100\mu\text{m}$ のFET対を用い後段には $200\mu\text{m}$ のFET対を用いた。後段は第4章で述べた回路と同一であり、初段についても同様の設計を行ないこれらを長さを最適化したコプレーナ線路で接続した。整合回路には 70Ω のコプレーナ線路を多用した。特性インピーダンスの高い線路を用いたのは線路長を短くできるためであり、インダクタではなく線路を用いたのはレイアウトの都合上かえって小型化に適していたからである。図6.11にこの2段カスコード増幅器の周波数特性を示す。占有回路面積は $0.9\text{mm}\times 1.3\text{mm}$ と小さいにもかかわらず 17dB と高い利得が得られており、このような高集積化MMICの増幅ブロックとして好適である。

アップコンバータは図6.12の回路図に示すような回路である。第5章で述べたバランス型アップコンバータに比べ、局部発振器出力を逆相分配する回路としてインダクタとキャパシタによる簡易な回路を用いている他は設計方針はこれまでと同一である。IF信号あるいはバイアス用の直流と高周波との交差が必要な箇所には第5章で述べた3層配線工程による交差回路を数多く使用している。

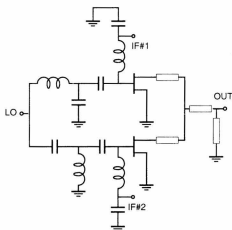


図6.12 アップコンバータの構成

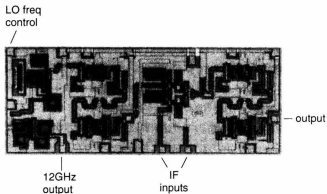


図 6.13 1チップ送信回路のチップ写真
チップ寸法：3.3 mm × 1.3 mm

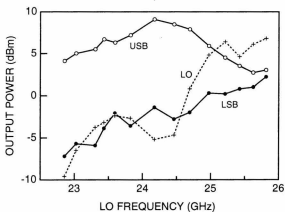


図 6.14 1チップ送信回路の周波数特性
USB：上側帯波 (送信出力)、LSB：下側帯波、LO：局発漏洩

以上述べた構成の送信回路を図6.13に示すMMICチップに集積した。チップの左側から発振器、増幅器、アップコンバータ、さらに増幅器の各ブロックが並んでいる。チップ面積は3.3mm×1.3mmであり集積規模に照らすと極めて小さい。送信チップの出力周波数特性および入出力特性を図6.14と図6.15に示す。これによると本送信チップは10dBの変換利得をもち、最大出力約10dBmの能力を有している。なお総消費電力は690mWであった。また、このような集積度の高い回路でしばしば問題となる歩留りを調べるため、3枚のウェハからとれる55個のチップを全て測定した。その結果、中心周波数で8dBm以上の変換利得を示したチップは44個に上り、80%という極めて高い歩留りが得られていることが明らかになった。

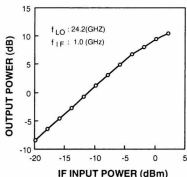


図6.15 1チップ送信回路の入出力特性

6.4 むすび

本章では、各章で述べてきたユニプレーナ型のMMIC技術を26GHz帯の送受信回路に適用した結果について述べた。

まず、マルチチップ構成の送信回路、受信回路を他に先駆けてそれぞれ1パッケージに収めることに成功した。これはユニプレーナ型の回路設計技術により各チップ

を小型にできたことと、正確なオンウェハ評価が可能であるという特長により可能になったものである。

さらに送信回路については、局部発振回路の構成を簡易にする等の工夫によりさらに回路面積の縮小を図り、全体を1チップ化することに初めて成功した。これにより、MMICチップのコスト低減とともに、組立等に関するコストも大幅に下げることが可能となった。

これらにより、ユニプレーナ型MMIC技術は各種無線装置の小型化ならびに経済化という課題に対して極めて有効な技術であることが明らかになったと考える。

- [1] S. Shindo, O. Kurita and M. Akaike, "Radio subscriber loop system for high-speed digital communications," in *Proc. ICC'81*, 66.1.
- [2] T. Hirota, M. Muraguchi, A. Minakawa and K. Osafune, "A uni-planar MMIC 26-GHz-band receiver," in *1988 IEEE GaAs IC Symp. Dig.*, pp. 185-188.
- [3] M. Muraguchi, T. Hirota, A. Minakawa, Y. Imai, F. Ishitsuka and H. Ogawa, "26 GHz-band full MMIC transmitters and receivers using a uniplanar technique," in *IEEE MTT-S Int. Microwave Symp. Dig.*, 1990, pp. 873-876.
- [4] T. Ohira, M. Muraguchi, T. Hirota, K. Osafune and M. Ino, "Dual-chip GaAs monolithic integration *Ku*-band phase-locked loop microwave synthesizer," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-38, pp. 1204-1209, Sept. 1990.
- [5] M. Muraguchi, T. Hirota, A. Minakawa, K. Ohwada and T. Sugeta, "Uniplanar MMIC's and their applications," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-36, pp. 1896-1901, Dec. 1988.
- [6] F. Ishitsuka and N. Sato, "Low-cost high-performance package for a multi-chip MMIC's module," in *1988 IEEE GaAs IC Symp. Dig.*, pp. 221-224.
- [7] T. Hirota and M. Muraguchi, "A *K*-band single-chip transmitter," in *1990 IEEE GaAs IC Symp. Dig.*, pp. 275-278.

本研究は、MMICの小型化、経済化を目的として、これに適したユニプレーナ型と呼ぶ新しい回路構造を新たに提案し、この構造を活かした新しい各種受動回路およびGaAsFETを主要デバイスとした各種機能回路についてその回路構成、設計法について検討したものである。得られた主な結論は以下の通りである。

(1) ユニプレーナ型MMICの構成法

これまでMMICでは主流であったマイクロストリップ線路をベースとした回路構造に対し、コプレーナ線路とスロット線路を伝送線路として用い、これらをエアブリッジ技術を駆使して組み合わせる「ユニプレーナ型」と呼ぶ新しいMMIC回路構造を提案した。マイクロストリップ型MMICに対し回路の小型化とコストの大幅な低減が可能になることが明らかになった。

(2) 小型化回路エレメント、回路コンポーネント

また、この構造による基本回路エレメントや新しい概念に基づく小型回路要素を新たに考案・開発した。ユニプレーナ型MMICで用いられる基本的な回路エレメントおよびコンポーネントについて述べた。線路分岐、インダクタやキャパシタ等の回路エレメントの構造について述べるとともに、応用範囲が広く従来の構成によると極めて大型になってしまう各種ハイブリッド回路について、高インピーダンス線路と集中定数キャパシタを組み合わせる半集中定数化の手法とこれによる設計例について述べ、回路の小型化に極めて有効であることを示した。

(3) FETによる各種機能回路

FETを能動素子として用いユニプレーナ構造の受動回路要素を組み合わせた各種機能回路の設計・試作を行ない、それぞれ良好な特性を得るとともに回路面積縮小・生産性向上に著しい効果のあることを実証した。GaAs FETを用いる回路のうち、小信号動作を基本とする回路については集中定数インダクタを用いる基本的な増幅器、さらに応用上有用な、2つの出力をもつ構成の増幅器、小さい回路面積で大きな利得が得られるカスコード型の増幅器についてそれぞれ設計・試作を行ないそれぞれ小さい面積で良好な性能を得、ユニプレーナMMICの設計性の高さを明らかにした。FETを非線形動作させる回路としては、周波数乗倍器とアップコンバータについて構成法の検討、設計、試作を行なった。ユニプレーナMMICの特長を生か

したバランス型の構成によって不要波の処理を行なうことにより従来にない小さな回路面積で良好な性能が得られることを明らかにした。

(4) MMIC化送受信回路

ユニプレーナ型MMICの回路技術を集成して、ユニプレーナ型の各種MMICを小型パッケージにマルチチップ実装し、26GHz帯の受信部と送信部をそれぞれ1パッケージに収めることに初めて成功した。さらに送信回路を超小型1チップに集積することに成功し、良好な性能と高い歩留りを確認した。世界に先駆けてこれらの1パッケージ化および1チップ化を実現したことにより、ユニプレーナ型MMIC技術の有効性が実証されたと考える。

以上述べたユニプレーナ型MMICの概念は、マイクロストリップ線路を主体に従来のハイブリッドMICと同様な回路構造によって構成するMMIC設計技術に対し、新しい可能性を切り開いた。さらにこの構成により各種機能回路を小さい面積で実現しその有効性を実証したことにより、今後この構造のMMIC技術の検討が各方面で盛んになっていくと考える。

また、今後必要となるであろうMMICのより高い周波数帯への適用に際しては、本技術はほとんど不可欠であると信ずる。また、将来進展が予想されるMMICの高集積化、多層化に関しても本研究はそれらの基礎となるものと考ええる。

本論文をまとめるにあたり懇切なる御指導御鞭撻を頂いた京都大学工学部
小倉久直教授、木村智根教授、吉田進教授に謹んで感謝の意を表します。

また、御指導御援助を頂いたNTTワイヤレスシステム研究所小椋山賢二所長、
NTTアドバンステクノロジー株式会社森田浩三取締役、NTT中央パーソナル通信網
株式会社栗田修室長に深く感謝します。

NTTアドバンステクノロジー株式会社菅田孝之取締役、NTTワイヤレスシステム
研究所相川正義プロジェクトリーダーには本研究を進める過程で種々御指導御教示を
頂きました。村口正弘グループリーダーはじめNTTワイヤレスシステム研究所超高周
波回路研究グループの各位には回路設計に関し御助言御討論を頂くとともに多くの
部分で協同研究者として御協力を頂きました。また特に研究の初期の段階において
はNTTアドバンステクノロジー株式会社山本和紀部長、NTTワイヤレスシステム研
究所小川博世グループリーダーに御指導を頂きました。ここに厚く御礼申し上げます。

学会論文誌

- [1] T. Hirota and H. Ogawa, "A novel K -band balanced FET up-converter," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-32, pp. 679-683, 1984.
- [2] T. Hirota, Y. Tarusawa and H. Ogawa, "Uniplanar MMIC hybrids—A proposed new MMIC structure," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-35, pp. 576-581, 1987.
- [3] M. Muraguchi, T. Hirota, A. Minakawa, K. Ohwada and T. Sugeta, "Uniplanar MMIC's and their applications," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-36, pp. 1896-1901, 1988.
- [4] T. Hirota and H. Ogawa, "Uniplanar monolithic frequency doublers," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-37, pp. 1249-1254, 1989.
- [5] T. Hirota, A. Minakawa and M. Muraguchi, "Reduced-size branch-line and rat-race hybrids for uniplanar MMIC's," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-38, pp. 270-275, 1990.
- [6] T. Ohira, M. Muraguchi, T. Hirota, K. Osafune and M. Ino, "Dual-chip GaAs monolithic integration Ku -band phase-locked loop microwave synthesizer," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-38, pp. 1204-1209, 1990.

国際会議講演

- [1] T. Hirota, H. Ogawa, Y. Tarusawa and K. Owada, "Planar MMIC hybrid circuit and frequency converter," in *1986 IEEE Microwave and Millimeter-Wave Monolithic Circuits Symp. Dig.*, pp. 103-105.
- [2] M. Muraguchi, T. Hirota, A. Minakawa, K. Ohwada and T. Sugeta, "Uniplanar MMIC's and their applications," in *1988 IEEE Microwave and Millimeter-Wave Monolithic Circuits Symp. Dig.*, pp. 75-78.
- [3] T. Hirota, M. Muraguchi, A. Minakawa and K. Osafune, "A uni-planar MMIC 26-GHz-band receiver," in *1988 IEEE GaAs IC Symp. Dig.*, pp. 185-188.
- [4] T. Ohira, M. Muraguchi, T. Hirota, K. Osafune and M. Ino, "A Ku -band MMIC PLL synthesizer," in *1989 IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 1047-1050.
- [5] M. Muraguchi, T. Hirota, A. Minakawa, Y. Imai, F. Ishituka and H. Ogawa, "26 GHz-band full MMIC transmitters and receivers using a uniplanar technique," in *1990 IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 873-876.
- [6] T. Hirota and M. Muraguchi, "A K -band single-chip transmitter," in *1990 IEEE GaAs IC Symp. Dig.*, pp. 275-278.
- [7] T. Hirota and M. Muraguchi, "K-band frequency up-converters using reduced-size couplers and dividers," in *1991 IEEE GaAs IC Symp. Dig.*, pp. 53-56.